



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

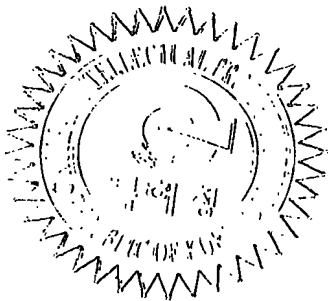
This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2004-0022553
Application Number

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

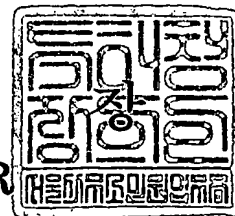
출원 년 월 일 : 2004년 04월 01일
Date of Application APR 01, 2004

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 04 월 12 일

특 허 청
COMMISSIONER



BEST AVAILABLE COPY

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2004.04.01
【발명의 명칭】	표시패널과 , 이의 제조방법 및 이를 갖는 표시장치
【발명의 영문명칭】	DISPLAY PANEL, METHOD FOR MANUFACTURING THEREOF, AND DISPLAY DEVICE HAVING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	신경주
【성명의 영문표기】	SHIN,Kyoung Ju
【주민등록번호】	720323-1552812
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 289-12 삼성선비마을 102/504
【국적】	KR
【발명자】	
【성명의 국문표기】	최범락
【성명의 영문표기】	CHOI,Beohm Rock
【주민등록번호】	690830-1074316
【우편번호】	135-968
【주소】	서울특별시 강남구 대치1동 삼성아파트 112-508
【국적】	KR
【발명자】	
【성명의 국문표기】	채종철
【성명의 영문표기】	CHAI,Chong ChuI
【주민등록번호】	690906-1010722

1028840022553

출력 일자: 2004/4/13

【우편번호】 121-765
【주소】 서울특별시 마포구 신공덕동 삼성아파트 102-2001
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
박영우 (인)
【수수료】
【기본출원료】 0 면 38,000 원
【가산출원료】 107 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 38,000 원

【요약서】**【요약】**

크로스토크를 줄이기 위한 유기전계발광 패널과 이를 갖는 유기전계발광 표시장치를 개시한다. 스위칭부는 데이터 라인 및 주사 라인에 의해 정의되는 단위 화소 영역에 형성되고, 주사 신호에 따라 데이터 신호의 출력을 온/오프 제어한다. 전류 공급 라인은 단위 화소의 적어도 2면에 대응하여 네트 형상을 정의하고, 전류를 공급하고, 유기전계발광부는 전류에 대응하는 광을 발광하며, 구동부는 제1단이 유기전계발광부의 타단에 연결되고, 제2단이 전류 공급 라인에 연결되며, 스위칭부를 통한 데이터 신호에 응답하여 제1단에서 제2단으로 또는 제2단에서 제1단으로 전류 흐름을 제어하여 상기 유기전계발광부의 발광을 제어한다. 이에 따라, 면저항 형태의 전류 공급 라인을 구현하기 위해 전류 공급 라인을 네트 형태로 구성함으로써 크로스토크를 최소화할 수 있다.

【대표도】

도 7

【색인어】

크로스토크, 유기 EL, 전계발광, 전압 강하, 네트 형태, ITO

【명세서】

【발명의 명칭】

표시패널과, 이의 제조방법 및 이를 갖는 표시장치{DISPLAY PANEL, METHOD FOR MANUFACTURING THEREOF, AND DISPLAY DEVICE HAVING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 유기전계발광 패널에 적용되는 화소의 등가 회로를 설명하기 위한 도면이다.

도 2는 일반적인 유기전계발광 패널에서 크로스토크 현상을 설명하기 위한 도면이다.

도 3은 본 발명에 따른 유기전계발광 표시장치를 설명하기 위한 도면이다.

도 4는 상기한 도 3의 유기전계발광 패널에서 전류 공급 라인의 일부를 발체하여 설명하기 위한 도면이다.

도 5는 유기전계발광 패널의 저항을 개념적으로 설명하기 위한 도면이다.

도 6은 일반적인 유기전계발광 패널에서 전압 강하를 설명하기 위한 도면이다.

도 7은 본 발명의 일실시예에 따른 유기전계발광 표시장치의 단위 픽셀을 설명하기 위한 등가회로도이다.

도 8은 상기한 도 7의 레이아웃 평면도이다.

도 9는 상기한 도 8에서 절단선 A-A'으로 절단한 단면도이다.

도 10 내지 도 17은 상기한 도 8의 제조 방법을 설명하기 위한 도면들이다.

도 18은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 단위 픽셀과 인접 픽셀을 설명하기 위한 등가회로도이다.

도 19는 상기한 도 18의 레이아웃 평면도이다.

도 20은 상기한 도 19에서 절단선 A1-A1'으로 절단한 단면도이다.

도 21 내지 도 24는 상기한 도 19의 제조 방법을 설명하기 위한 도면들이다.

도 25는 본 발명의 제3실시에 따른 유기전계발광 표시장치의 단위 픽셀과 인접 픽셀을 설명하기 위한 등가회로도이다.

도 26은 상기한 도 25의 레이아웃 평면도이다.

도 27은 본 발명의 제4 실시예에 따른 유기전계발광 표시장치의 단위 픽셀 및 인접 픽셀들을 설명하기 위한 등가회로도이다.

도 28은 본 발명의 제5 실시예에 따른 유기전계발광 표시 장치의 단위 픽셀을 설명하기 위한 평면도이다.

도 29는 상기한 도 28의 절단선 B-B'으로 절단한 단면도이다.

도 30 내지 도 34는 상기한 도 28의 제조 방법을 설명하기 위한 평면도들이다.

도 35는 본 발명의 제6 실시예에 따른 유기전계발광 표시 장치의 단위 픽셀을 설명하기 위한 평면도이다.

도 36은 상기한 도 35의 절단선 C-C'으로 절단한 단면도이다.

도 37 내지 도 41은 상기한 도 35의 제조 방법을 설명하기 위한 평면도들이다.

도 42는 본 발명의 제7 실시예에 따른 유기전계발광 표시 장치의 단위 픽셀을 설명하기 위한 평면도이다.

도 43은 상기한 도 42의 절단선 D-D'으로 절단한 단면도이다.

도 44 내지 도 48은 상기한 도 42의 제조 방법을 설명하기 위한 평면도들이다.

<도면의 주요부분에 대한 부호의 설명>

QS : 스위칭 트랜지스터 CST : 스토리지 캐패시터

QD : 구동 트랜지스터 10 : 타이밍 제어부

20 : 컬럼 구동부 300 : 로우 구동부

40 : 전원전압 공급부 50 : 유기전계발광 패널

53, 56 : 브리지 라인 51, 52, 54, 55 : 스테이션

N42, 350, 450, 550 : 픽셀 전극층 N50, 360, 460, 560 : 격벽

N60, 370, 470, 570 : EL 층 N70, 380, 480, 580 : 대향 전극층

132, 232, N10, 310, 410, 510: 주사 라인

150, 250, N30, 330, 430, 530 : 데이터 라인

130, 230, 352, 413, 552 : 수평-전류 공급 라인

154, 254, 332, 532, 553 : 수직-전류 공급 라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- 9> 본 발명은 표시패널과 이의 제조방법 및 이를 갖는 표시장치에 관한 것으로, 보다 상세하게는 크로스토크를 줄이기 위한 표시패널과 이의 제조방법 및 이를 갖는 표시장치에 관한 것이다.



- <40> 현재 사용되는 표시 장치로서는 가장 많이 쓰고 있는 것으로 브라운관(CRT)이 있으며, 컴퓨터용으로는 액정 표시 장치(이하 LCD)의 비율이 차차 증가하고 있다. 하지만 브라운관의 경우 너무 무겁고 부피가 크며, LCD의 경우 밝지 않고, 측면에서 잘 보이지 않으며, 효율이 낮은 등의 단점을 가지고 있어 사용자들을 완전하게 만족시키지 못하고 있다.
- <41> 이에 따라 현재 많은 사람들이 보다 저렴하고, 효율이 높고, 얇고, 가벼운 표시 장치를 개발하기 위해 노력하고 있으며, 그러한 차세대 디스플레이 소자로서 주목받고 있는 것 중에 하나가 유기전계발광소자(Organic Light Emitting Diodes; 이하 OLED)이다.
- <42> 이러한 OLED는 특정 유기물 또는 고분자들의 Electro-Luminescence(EL : 전기를 가하였을 때 광을 방출하는 현상)를 이용하는 것으로 백 라이트를 구비하지 않아도 되므로 액정 표시 장치에 비해 박형화가 가능하고, 더 싸고 쉽게 제작할 수 있으면서도, 넓은 시야각과 밝은 광을 내는 장점을 가지고 있어 이에 관한 연구가 전세계적으로 뜨겁게 진행되고 있다.
- <43> 도 1은 일반적인 OLED에 적용되는 화소의 등가 회로를 설명하기 위한 도면이다.
- <44> 도 1을 참조하면, 일반적인 유기 EL 구동 소자는 스위칭 트랜지스터(QS), 스토리지 캐패시터(Cst), 구동 트랜지스터(QD) 및 유기 EL 소자(OLED)로 구성되고, 전류 공급 라인(VDD)은 데이터 라인을 형성할 때 데이터 라인과 평행한 방향, 즉, 수직 방향으로 형성되고, 각 전류 공급 라인에는 주사 라인 수만큼의 화소가 연결된다.
- <45> 구동시, 유기 EL 표시 장치는 CRT와 같은 표시 장치에 비해서 휘도가 상대적으로 낮기 때문에 하나의 가로 주사 라인을 선택할 때만 발광되는 수동 구동 방식을 이용하지 않고, 발광 듀티를 대폭 늘린 액티브 구동 방식을 사용한다. 이러한 액티브 구동 방식을 채용하는 유기 EL

표시 장치를 AMOELD(Active Matrix OELD)라 한다. 이때, 발광 셀의 활성층은 주입된 전류 밀도에 비례하여 광을 발산한다.

46> 이러한 유기전계발광 패널(이하 OELD 패널)의 구동시, 전류 공급 라인(VDD) 방향으로 크로스토크가 발생한다.

47> 도 2는 일반적인 유기전계발광 패널에서 크로스토크 현상을 설명하기 위한 도면이다.

48> 도 2를 참조하면, 화이트를 표시하지 않는 칼럼 A의 경우 VDD 전압 강하가 작다. 반면에 화이트를 표시해야하는 칼럼 B의 경우 VDD 전압 강하가 크다면, 칼럼 B의 VDD 라인으로부터 전류를 공급받는 칼럼 B의 화소들은 의도한 그레이보다 어두운 그레이의 광을 내게 된다.

49> 그러므로 화이트 블록의 상하는 주위보다 어두운 그레이를 표시하게 되어 크로스토크가 발생한다. 또한, 화이트 면적이 증가함에 따라 VDD 전압 강하가 심해지고, 화이트 블록의 상하 부분이 더욱 어두워져 크로스토크가 심화된다.

50> 이처럼, 어두운 배경에서 화이트 블록이 존재하는 경우에는 화이트 블록의 상하로 주위보다 어둡게 보이고, 화이트 블록의 길이가 길어지면 상하는 주위보다 더 어둡게 보이는 크로스토크가 발생하는 문제점이 있다.

1> 또한, 발광 면적이 증가할 수록 휘도는 감소하고, 발광 면적이 작아지면 휘도는 반대로 증가하며, 수직 방향의 휘도 변화가 수평 방향의 휘도 변화보다 크게 나타나는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

> 이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 수직 또는 수직 방향의 전압 강하를 줄여 크로스토크를 방지하기 위한 표시패널을 제공하는 것이다.

<53> 또한, 본 발명의 다른 목적은 상기한 표시패널의 제조 방법을 제공하는 것이다.

<54> 또한, 본 발명의 또 다른 목적은 상기한 표시패널을 갖는 표시장치를 제공하는 것이다.

【발명의 구성 및 작용】

<55> 상기한 본 발명의 목적을 실현하기 위한 표시패널은, 데이터 신호를 전달하는 데이터 라인; 주사 신호를 전달하는 주사 라인; 상기 데이터 라인 및 주사 라인에 의해 정의되는 단위 화소 영역에 형성되고, 상기 주사 신호에 따라 상기 데이터 신호의 출력을 온/오프 제어하는 스위칭부; 상기 단위 화소의 적어도 2면에 대응하여 네트 형상을 정의하고, 전류를 공급하는 전류 공급 라인; 상기 전류에 대응하는 광을 발광하는 유기전계발광부; 및 제1단이 상기 유기전계발광부의 타단에 연결되고, 제2단이 상기 전류 공급 라인에 연결되며, 상기 스위칭부를 통한 데이터 신호에 응답하여 상기 제1단에서 제2단으로 또는 상기 제2단에서 제1단으로 전류 흐름을 제어하여 상기 유기전계발광부의 발광을 제어하는 구동부를 포함한다.

<56> 또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 표시패널의 제조 방법은, (a) 주사 라인과, 상기 주사 라인으로부터 연장된 게이트 전극과, 상기 주사 라인으로부터 이격된 스토리지 캐패시터용 라인을 형성하는 단계; (b) 데이터 라인과, 수직-전류 공급 라인과, 구동 트랜지스터의 소오스 전극을 정의하는 제1 패턴과, 스위칭 트랜지스터의 드레인 전극을 정의하는 제2 패턴을 형성하는 단계; 및 (c) 상기 주사 라인과 데이터 라인에 의해 정의되는 일정 영역에 픽셀 전극을 형성하고, 상기 픽셀 전극으로부터 이격된 수평-전류 공급 라인을 형성하는 단계를 포함한다.

<7> 또한, 상기한 본 발명의 다른 목적을 실현하기 위한 다른 하나의 특징에 따른 표시패널의 제조 방법은, (a) 주사 라인과, 상기 주사 라인으로부터 연장된 게이트 전극과, 상기 주사



라인으로부터 이격된 스토리지 캐패시터용 라인을 형성하는 단계; (b) 데이터 라인과, 수직-전류 공급 라인과, 구동 트랜지스터의 소오스 전극을 정의하는 제1 패턴과, 스위칭 트랜지스터의 드레인 전극을 정의하는 제2 패턴을 형성하는 단계; 및 (c) 상기 주사 라인과 데이터 라인에 의해 정의되는 일정 영역에 픽셀 전극을 형성하고, 상기 픽셀 전극으로부터 이격된 수평-전류 공급 라인을 형성하는 단계를 포함한다.

58> 또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 표시장치는, 화상 신호와 제1 타이밍 신호를 제공받아 데이터 신호를 출력하는 컬럼 구동부; 제2 타이밍 신호를 제공받아 주사 신호를 출력하는 로우 구동부; 전원전압 제어 신호를 제공받아 제1 및 제2 전원전압을 출력하는 전원전압 공급부; 및 일측으로부터 상기 제1 전원전압을, 타측으로부터 제2 전원전압을 제공받고, 상기 주사 신호가 제공됨에 따라 상기 데이터 신호에 대응하여 상기 제1 전원전압 및 제2 전원전압에 따른 전류의 양을 조절하여 광을 발광하는 표시패널을 포함한다.

59> 이러한 표시패널과 이의 제조방법 및 이를 갖는 표시장치에 의하면, 유기전계발광 소자에 전원을 인가하는 전류 공급 라인을 네트 형태로 구성하여 면저항 형태의 전류 공급 라인을 구현함으로써, 수직 또는 수직 방향의 전압 강하를 줄여 크로스토크를 최소화할 수 있다.

60> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

61> 도 3은 본 발명의 실시예에 따른 유기전계발광 표시장치를 설명하기 위한 도면이다.

62> 도 3을 참조하면, 본 발명의 실시예에 따른 유기전계발광 표시장치는 타이밍 제어부(10), 컬럼 구동부(20), 로우 구동부(30), 제1 및 제2 전원전압 공급부(40, 45) 및 유기전계발광 패널(이하 OLED 패널)(50)을 포함한다.

- <63> 타이밍 제어부(10)는 외부의 그래픽 콘트롤러(미도시) 등으로부터 화상 신호와 이의 제어 신호를 제공받아, 제1 및 제2 타이밍 신호(TS1, TS2)를 생성하고, 상기 타이밍 신호(TS1)를 상기 화상 신호와 함께 상기 컬럼 구동부(20)에 출력하고, 상기 제2 타이밍 신호(TS2)를 상기 로우 구동부(30)에 출력하며, 전원전압 제어 신호(TS3)를 상기 제1 및 제2 전원전압 공급부(40, 45)에 출력한다.
- <64> 컬럼 구동부(20)는 상기 타이밍 제어부(10)로부터 상기 화상 신호와 상기 제1 타이밍 신호(TS1)를 제공받아 데이터 신호(D1, D2, D3, ..., Dm-1, Dm)를 상기 OELD 패널(50)에 출력한다.
- <65> 로우 구동부(30)는 상기 타이밍 제어부(10)로부터 상기 제2 타이밍 신호(TS2)를 제공받아 주사 신호(G1, G2, G3, ..., Gn-1, Gn)를 순차적으로 상기 OELD 패널(50)에 출력한다.
- <66> 제1 전원전압 공급부(40)는 상기 전원전압 제어 신호(TS3)를 제공받아 제1 전원전압을 OELD 패널(50)에 세로 방향으로 신장되고, 가로 방향으로 배열되는 복수의 전류 공급 라인들의 일단에 각각 출력한다. 여기서, 상기 제1 전원전압은 일종의 바이어스 전압으로서 상기 OELD 패널(50)에 구비되는 구동 트랜지스터가 P 타입의 트랜지스터인 경우에는 유기전계발광 소자에 연결되는 공통 전압(또는 그라운드)보다는 높은 레벨의 전압인 것이 바람직하고, 상기 구동 트랜지스터가 N 타입의 트랜지스터인 경우에는 상기 유기전계발광 소자에 연결되는 공통 전압(또는 그라운드)보다는 낮은 레벨의 전압인 것이 바람직하다.
- <67> 제2 전원전압 공급부(45)는 상기 전원전압 제어 신호(TS3)를 제공받아 제2 전원전압을 상기 OELD 패널(50)에 가로 방향으로 신장되고, 세로 방향으로 배열되는 복수의 전류 공급 라인들의 일단에 각각 출력한다. 여기서, 상기 제2 전원전압은 상기 제1 전원전압과 상이할 수도 있으나 동일한 것이 바람직하다. 또한, 도면상에서는 상기 제2 전원전압 공급부(45)를 별도로



구비하는 것을 도시하였으나, 상기 제2 전원전압 공급부(45)를 생략하고 상기 제1 전원전압 공급부(40)로부터 제공되는 제1 전원전압을 일종의 전송 라인 등을 이용하여 전달받을 수도 있다.

68> OELD 패널(50)은 제1 스테이션(51)과, 제2 스테이션(52)과, 상기 제1 스테이션(51)과 제2 스테이션(52)의 연결을 위한 브리지 라인(53)과, 제3 스테이션(54)과, 제4 스테이션(55)과, 상기 제3 스테이션(54)과 제4 스테이션(55)의 연결을 위한 브리지 라인(56)을 구비한다.

69> 또한, OELD 패널(50)은 상기한 도 1에서 설명한 바와 같이, 데이터 신호를 전달하는 m개의 데이터 라인, 전원전압을 전달하는 m개의 제1 전류 공급 라인, 주사 신호를 전달하는 n개의 주사 라인, 전원전압을 전달하는 n개의 제2 전류 공급 라인을 구비하여, 로우 구동부(30)로부터 제공되는 주사 신호를 근거로 컬럼 구동부(20)로부터 제공되는 화상 신호를 디스플레이한다. 이때 서로 인접하는 데이터 라인과 주사 라인은 일정 영역을 정의하며, 상기 정의되는 영역에 스위칭 소자(QS)(미도시), 구동 소자(QD)(미도시), 유기전계발광 소자(OELD)(미도시) 및 스토리지 캐패시터(Cst)(미도시)를 구비한다.

70> 보다 상세히는, 상기 스위칭 소자(QS)는 제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 라인에 전달되는 주사 신호에 응답하여 제3단을 통해 상기 데이터 신호를 온/오프 출력한다. 상기 유기전계발광 소자(OELD)는 일단이 극성단에 연결되며, 인가되는 전류의 양에 대응하는 광을 발광한다.

71> 상기 구동 소자(QD)는 제1단이 상기 유기전계발광 소자(OELD)의 타단에 연결되고, 제2단이 상기 제1 전류 공급 라인에 연결되며, 상기 스위칭 소자(QS)의 제3단을 통해 입력되는 데이터 신호의 온/오프에 응답하여 제1단에서 제2단으로 또는 제2단에서 제1단으로 전류 흐름을 제어하여 상기 유기전계발광 소자(OELD)의 발광을 제어한다.



- 72> 상기 스토리지 캐패시터(Cst)는 일단이 스위칭 소자(QS)의 제3단에 연결되고, 타단이 상기 제1 전류 공급 라인에 연결되어 구동 전압을 제공받아 축적한다.
- 73> 한편, 제1 전원전압 공급부(40)로부터 공급된 제1 전원전압은 상기 OLED 패널(50)상의 제1 및 제2 스테이션(Station)(51, 52)에 각각 제공되고, 각각의 스테이션에 제공된 제1 전원전압은 상기 제1 브리지 라인(53)을 통해 분기되어 OLED 패널(50)에 세로 방향으로 신장되고 가로 방향으로 배열되는 수직 방향의 전류 공급 라인(VDD LINE) 각각에 인가된다. 여기서, 외부로부터 인가되는 전원전압이 고르게 OLED 패널(50)에 인가되도록 복수의 스테이션을 구비하는 것이 바람직한데, 도면상에서는 2개의 스테이션만을 구비하는 것을 도시하였다.
- 74> 또한, 제2 전원전압 공급부(45)로부터 공급된 제2 전원전압은 상기 OLED 패널(50)상의 제3 및 제4 스테이션(54, 55)에 각각 제공되고, 각각의 스테이션에 제공된 제2 전원전압은 상기 제2 브리지 라인(56)을 통해 분기되어 상기 OLED 패널(50)에 가로 방향으로 신장되고 세로 방향으로 배열되는 수평 방향의 전류 공급 라인(VDD LINE) 각각에 인가된다.
- 75> 상기한 도면상에서는 관찰자 관점에서 상기 유기전계발광 패널의 상측에 제1 전원전압 공급부를 배치하고, 우측에 제2 전원전압 공급부를 배치하여 상기 제1 전류 공급 라인의 일측에는 제1 전원전압을 인가하고, 상기 제2 전류 공급 라인의 일측에 제2 전원전압을 인가하는 것을 도시하였다. 하지만, 상기 유기전계발광 패널의 하측에 제1 전원전압 공급부를 더 배치하고, 좌측에 제2 전원전압 공급부를 더 배치하여 상기 제1 전류 공급 라인의 양측에 제1 전원전압을 인가하고, 상기 제2 전류 공급 라인의 양측에 제2 전원전압을 인가할 수도 있다.
- 76> 도 4는 상기한 도 3의 유기전계발광 패널에서 전류 공급 라인의 일부를 발취하여 설명하기 위한 도면으로, 특히 전류 공급 라인이 데이터 라인과 평행한 방향, 즉 수직 방향으로 배열된 예를 도시한다.

- <77> 도 3 및 도 4를 참조하면, 제1 및 제2 스테이션(51, 52)을 연결하는 제1 브리지 라인(BRIDGE LINE)(53)에는 OELD 패널(50)의 해상도에 대응하는 수만큼의 전류 공급 라인들이 콘택홀을 통해 연결된다. 여기서, 상기 제1 브리지 라인(53)은 3,000[A] 두께의 알루미늄네오듐(AlNd)으로 이루어져 주사 라인의 형성시 형성되고, 상기 전류 공급 라인은 3,000[A] 두께의 몰리브덴 텅스텐(MoW)으로 이루어져 데이터 라인의 형성시 형성된다.
- <78> 상기 전류 공급 라인의 전압 강하를 보다 상세히 설명하기 위해 첨부하는 도 5와 같이 임의의 전류 공급 라인(VDD LINE)을 선택하여 전압 분포를 계산한다.
- <79> 도 5는 유기전계발광 패널 저항을 개념적으로 설명하기 위한 도면으로, 특히, 640*480*3 해상도의 VGA 모드를 갖는 유기전계발광 패널의 저항을 도시하고, 캐소드 저항은 무시한다.
- <80> 도 5를 참조하면, 하나의 전류 공급 라인(VDD LINE)에는 총 480 개의 화소가 병렬로 연결되며, 각 화소 사이에는 전류 공급 라인의 라인 저항(L_v)이 존재한다. 여기서, R_c 는 전류 공급 라인과 브리지 라인간의 콘택 저항, R_p 는 전류 공급 라인 펜 아웃의 라인 저항, L_v 는 n 번째 화소와 $(n-1)$ 번째 화소 사이의 전류 공급 라인 저항, $V_v[n]$ 은 n 번째 화소에 걸리는 VDD 전압, $P[n]$ 은 임의 그레이의 밝기를 내고있는 n 번째 화소의 저항, $R_v[n]$ 은 n 번째 화소부터 종단 화소까지의 전체 저항이다.
- <31> 전압 분포를 계산하기 위한 기본 데이터를 하기하는 표 1과 같다고 가정하면, 임의의 화소에서 계측되는 저항이나, 임의의 화소에 인가되는 전압 등을 계산할 수 있다.

<32>

【표 1】

Rc	0.00214[Ω]	AINd(Gate)/MoW(Data)
Rp	55[Ω]	MoW (여기서, 두께는 3000Å, 폭은 7μm)
Lv	11.0[Ω]	픽셀 피치는 200μm
P[n]	22.5[Ω]	
VDD	10[Volts]	

예를 들어, 479번째 화소에서 측정되는 저항은 하기하는 수학적 식 1과 같다.

【수학적 식 1】
$$\frac{1}{Rv[479]} = \frac{1}{Lv + P[480]} + \frac{1}{P[479]}$$

상기한 수학적 식 1을 정규화하면 임의의 화소에서 측정되는 저항은 하기하는 수학적 식 2와 같다.

【수학적 식 2】
$$\frac{1}{Rv[n]} = \frac{1}{Lv + Rv[n+1]} + \frac{1}{P[n]}$$

여기서, Lv는 n번째 화소와 n-1번째 화소 사이의 전류 공급 라인 저항, P[n]은 임의의 그레이의 밝기를 내고있는 n번째 화소의 저항, Rv[n]은 n번째 화소부터 종단 화소까지의 전체 저항이다.

또한, 첫 번째 화소에서 느끼는 전압은 하기하는 수학적 식 3과 같다.

【수학적 식 3】
$$Vv[1] = Rv[1] \cdot \frac{VDD}{Rc + Rp + Rv[1]}$$

상기한 수학적 식 3을 정규화하면 임의의 화소에서 느끼는 전압은 하기하는 수학적 식 4와 같다.

【수학적 식 4】
$$Vv[n] = Rv[n] \cdot \left(\frac{Vv[n-1]}{Lv + Rv[n]} \right)$$



- <92> 여기서, L_v 는 n 번째 화소와 $n-1$ 번째 화소 사이의 전류 공급 라인 저항, $V_v[n]$ 은 n 번째 화소에 걸리는 VDD 전압, $R_v[n]$ 은 n 번째 화소부터 종단 화소까지의 전체 저항이다.
- <93> 도 6은 일반적인 유기전계발광 패널에서 전압 강하를 설명하기 위한 도면으로, 특히 $640 \times 480 \times 3$ 해상도의 VGA 모드를 갖는 OLED 패널에서 전류 공급 라인을 데이터 라인과 평행하는 방향(즉, 수직 방향)으로 배열하고, 전류 공급 라인을 $A_{INd} 3,000[A]$ 으로 할 때, 픽셀 수에 대응하는 전압을 설명하기 위한 도면이다.
- <94> 여기서, 파형 'I'은 모든 화소가 블랙 그레이를 나타낼 때의 전압 강하를 설명하고, 파형 'II'는 1 내지 120 화소가 화이트 그레이를, 121 내지 480 화소가 블랙 그레이를 나타낼 때의 전압 강하를 설명하고, 파형 'III'은 1 내지 240 화소가 화이트 그레이를, 241 내지 480 화소가 블랙 그레이를 나타낼 때의 전압 강하를 설명하며, 파형 'IV'은 1 내지 360 화소가 화이트 그레이를, 361 내지 480 화소가 블랙 그레이를 나타낼 때의 전압 강하를 설명하며, 파형 'V'은 모든 화소가 화이트 그레이를 나타낼 때의 전압 강하를 설명한다.
- <95> 도 6을 참조하면, 픽셀 수가 증가함에 따라 전압이 강하하는 것을 확인할 수 있다. 즉, 전류 공급 라인(VDD)의 방향(수직 방향)으로의 전압은 전원전압공급원으로부터 멀어질수록 강하하며, 화이트 그레이를 표시하고 있는 화소가 많은 경우에 그 강하 폭은 더욱 크다. 특히, 파형 'V'에 도시한 바와 같이 모든 화소가 화이트 그레이를 나타내는 경우에는 전압 강하가 $0.55[Volts]$ 까지 이루어지는 것을 확인할 수 있다.
- <96> 물론 도면상에서는 전류 공급 라인이 데이터 라인과 평행하는 방향으로 형성되고, 이를 근거로 수직 크로스토크를 설명하였으나, 이와 유사하게 전류 공급 라인을 주사 라인과 평행하는 방향으로 형성하더라도 수평 크로스토크를 설명할 수도 있을 것이다.

- 97> 이처럼, 수직 또는 수평 방향의 전압 강하는 전체 유기전계발광 패널의 휘도 균일성을 감소시킨다. 또한, 하나의 컬럼 또는 하나의 로우가 표시하는 그레이 정보에 따라 전압 분포 특성이 변화함을 확인할 수 있는데, 이러한 특성이 크로스토크와 면적에 따른 휘도 변화를 일으키는 원인이다.
- 98> 일반적으로 유기전계발광 표시장치에서의 그레이 표현은 제1 전원전압(VDD)과 데이터 전압의 차이, 즉, 구동 TFT의 게이트-소오스간의 전압차(V_{GS})에 의하여 결정된다.
- 99> 만일, 수직 방향으로 제1 전원전압(VDD)이 강하하면 화소에 따라 구동 TFT의 게이트-소오스간의 전압차(V_{GS})가 영향을 받고 그레이가 변하게 된다. 물론 수평 방향으로 전류 공급 라인이 형성된 경우에도 동일하게 적용될 수 있다.
- 00> 이러한 점에 착안하여 본 발명에서는 수직 또는 수평 방향으로 발생하는 크로스토크나 휘도 변화를 최소화하기 위해 전류 공급 라인(VDD)을 네트 형태로 구성한 유기전계발광 패널들을 개시한다.
- 01> <제1 실시예>
- 02> 도 7은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 단위 픽셀과 인접 픽셀을 설명하기 위한 등가회로도이다.
- 03> 도 7에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 단위 픽셀은 p번째 주사 신호를 전달하는 p번째 주사 라인(G_p)과, g번째 데이터 신호를 전달하는 g번째 데이터 라인(D_g)과, 제1 전원전압을 전달하는 g번째 수직-전류 공급 라인($V-V_{ddg}$)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(C_{st}), 구동 트랜지스터(QD) 및 유



기 EL 소자(EL)로 구성되고, 제2 전원전압을 전달하는 p번째 수평-전류 공급 라인(H-Vddp)이 상기 주사 라인(Gp)과 평행하게 형성되어, 상기 수직-전류 공급 라인(V-Vddg)과 연결된다.

104> 또한, 상기 인접 픽셀은 p번째 주사 신호를 전달하는 p번째 주사 라인(Gp)과, g+1번째 데이터 신호를 전달하는 g+1번째 데이터 라인(Dg+1)과, 제1 전원전압을 전달하는 g+1번째 수직-전류 공급 라인(V-Vddg+1)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(Cst), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고, 상기 수직-전류 공급 라인(V-Vddg+1)은 상기 수평-전류 공급 라인(H-Vddp)과 연결된다.

105> 즉, 수직-전류 공급 라인(V-Vddg)(V-Vddg+1)들은 데이터 라인을 형성할 때 상기 데이터 라인과 평행한 방향, 즉 수직 방향으로 형성되고, 각 수직-전류 공급 라인에는 주사 라인 수만큼의 화소가 연결된다.

106> 또한, 수평-전류 공급 라인(H-Vddp)은 주사 라인을 형성할 때 상기 주사 라인과 평행한 방향, 즉 수평 방향으로 형성되고, 교차하는 수직-전류 공급 라인(V-Vddg, V-Vddg+1)과 연결된다.

107> 도면상에서는 제1 및 제2 스위칭 트랜지스터(QS1, QS2)가 P 채널 트랜지스터인 것을 나타낸다. 그러나, 상기 제1 및 제2 스위칭 트랜지스터(QS1, QS2)는 상기 P 채널 트랜지스터보다 높은 전계 효과 이동도를 갖고서 고속으로 동작하여 많은 양의 전류를 흐르게 하는 N 채널 트랜지스터일 수도 있다.

108> 또한, 제1 및 제2 스위칭 트랜지스터(QS1, QS2)는 전기적으로 접속된 이중 구조의 게이트 전극, 즉 서로 직렬 접속된 2개의 채널 형성 영역을 구비한 능동층



을 갖는 구조를 갖는다. 상기한 이중 또는 다중 게이트 구조는 오프 전류를 감소시키는데 효과적이다. 상기 스위칭 트랜지스터(QS1, QS2)의 오프 전류가 충분히 낮다면 캐패시터에 필요한 캐패시턴스는 많이 감소될 수 있으나, 상기 캐패시터가 차지하는 영역은 감소될 수 있다. 그러므로 상기 스위칭 트랜지스터(QS1, QS2)에 다중 게이트 구조를 제공하는 것을 EL 소자의 유효 발광 영역을 증가시키는데 효과적이다.

109> 도 8은 상기한 도 7의 레이아웃 평면도이고, 도 9는 상기한 도 8에서 절단선 A-A'으로 절단한 단면도이다.

110> 도 8에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기전계발광 패널은 수평 방향으로 형성되는 주사 라인(132)을 형성할 때 수평-전류 공급 라인(H-VDD)(130)을 형성하고, 수직 방향으로 형성되는 데이터 라인(150)을 형성할 때 수직-전류 공급 라인(V-VDD)(154)을 형성하고, 상기 수평-전류 공급 라인(130)과 수직-전류 공급 라인(154)은 콘택홀(140, 141)을 통해 접합시켜 네트 형태로 구성하므로써, 유기전계발광 패널의 저항을 최소화한다. 이때, 수평-전류 공급 라인(H-VDD)(130)이나 수직-전류 공급 라인(V-VDD)(154)은 대략 8[μ m] 폭을 갖는 저저항 배선을 사용하는 것이 바람직하다.

11> 도 8 및 도 9를 참조하면, 기판(105) 위에는 절연막(107)이 형성된다. 여기서, 상기 기판(105)은 투명 기판이고, 기판으로 사용 가능한 투명 기판의 전형적인 예는 유리 기판, 석영 기판, 유리 세라믹 기판 및 결정 유리 기판을 포함한다. 그러나, 기판용 물질은 제조 공정시 높은 처리 온도에 대해 저항성을 갖는 것이 바람직하다.

12> 또한, 상기 절연막(107)은 이동하는 이온을 함유하는 기판 또는 도전성을 갖는 기판을 사용할 때 효과적이다. 상기 절연막(107)은 석영 기판에 필요한 것은 아니다. 실리콘을 함유한 절연막은 본 발명의 절연막(107)으로 사용될 수 있다. 이때, 상기 실리콘함유 절연막은 주어진

비율의 실리콘내의 산소 또는 질소를 함유하는 절연막 또는 두가지 모두를 함유한 절연막인 것이 바람직하다. 특정 예는 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화물막(SiO_xN_y 로 표시되고, x 및 y 는 임의의 정수)을 포함한다.

113> 상기 절연막(107) 위에 형성되는 스위칭 트랜지스터(QS)는 제1 소오스 영역(120a), 제1 채널 형성 영역(120b, 120c), 제1 드레인 영역(120d)을 포함하는 제1 능동층(또는 제1 액티브층), 상기 제1 능동층 위에 형성되면서 상기 제1 소오스 영역(120a)과 제1 드레인 영역(120d)을 노출시키는 게이트 절연막(129), 게이트 절연막(129) 위에 형성되는 제1 게이트 전극(132a, 132b), 제1 게이트 전극(132a, 132b)과 게이트 절연막(129) 위에 형성되면서 상기 제1 소오스 영역(120a)과 제1 드레인 영역(120d)을 노출시키는 제1 층간 절연막(139), 제1 층간 절연막(139) 위에 형성되면서 제1 소오스 영역(120a)에 연결되는 제1 소오스 전극(151), 그리고, 제1 층간 절연막(139) 위에 형성되면서 제1 드레인 영역(120d)에 연결되는 제1 드레인 전극(152)을 포함한다. 도면상에서는 제1 게이트 전극(152)을 이중 게이트 구조로 하였으나, 단일 또는 삼중 게이트 구조로 할 수도 있다.

14> 상기 제1 층간 절연막(139) 위에는 수평 방향으로 형성되어 전원전압을 공급하는 수평-전류 공급 라인(130)이 형성되고, 제1 층간 절연막(139)에 형성된 콘택홀을 경유하여 수직 방향으로 형성되어 전원전압을 공급하는 수직-전류 공급 라인(514)이 형성된다.

15> 상기 절연막(107) 위에 형성되어 전류 제어 기능을 수행하는 구동 트랜지스터(QD)는 제2 소오스 영역(122a), 제2 채널 형성 영역(122b), 제2 드레인 영역(122c)을 포함하는 제2 능동층(또는 제2 액티브층), 상기 제2 능동층 위에 형성되면서 상기 제2 소오스 영역(122a)과 제2 드레인 영역(122c)을 노출시키는 게이트 절연막(129), 게이트 절연막(129) 위에 형성되는 제2 게이트 전극(134), 제2 게이트 전극(134)과 게이트 절연막(129) 위에 형성되면서 상기 제2

소오스 영역(122a)과 제2 드레인 영역(122c)을 노출시키는 제1 층간 절연막(139), 제1 층간 절연막(139) 위에 형성되면서 소오스 영역에 연결되는 제2 소오스 전극(154), 그리고, 제1 층간 절연막(139) 위에 형성되면서 드레인 영역에 연결되는 제2 드레인 전극(156)을 포함한다. 도면 상에서는 제2 게이트 전극(134)을 단일 게이트 구조로 하였으나, 이중 또는 삼중 등의 다중 게이트 구조로 할 수도 있다.

- 16> 상기 구동 트랜지스터(QD), 수직-전류 공급 라인(154) 및 스위칭 트랜지스터(QS) 위에는 제2 층간 절연막(158)이 형성되고, 제2 층간 절연막(158) 위에는 평탄화막(159)이 형성된다.
- 17> IT0와 같은 도전성 산화물로 이루어지는 픽셀 전극층(170)은 평탄화막(159)과 제2 층간 절연막(158)을 개구시킨 홀을 경유하여 하부에 구비되는 구동 트랜지스터(QD)의 드레인 전극(156)과 연결된다.
- 18> 픽셀 전극층(170) 위에는 발광 영역을 정의하는 격벽(175)이 형성되고, 격벽(175)이 미 형성된 영역을 위주로 EL 층(180)이 형성되며, EL 층(180) 위 및 격벽(175) 위에는 대향 전극층(185)이, 대향 전극층(185) 위에는 보호층(190)이 순차적으로 형성된다. 여기서, EL 층(180)은 적층 구조로 형성될 때, 보다 더 나은 발광 효율을 얻을 수 있다. 통상적으로, 상기 EL 층(180)은 픽셀 전극층(170) 위에 정공 주입층, 정공 수송층, 발광층 및 전자 수송층을 차례대로 형성함으로써 형성된다. 대신에, 상기 EL 층(180)은 정공 수송층, 발광층, 및 전자 수송층이 이러한 차례로 형성된 적층 구조 또는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 차례로 형성된 적층 구조를 취할 수 있다.
- 9> 만일, 본 발명에 따른 유기전계발광 표시장치가 독립 발광과 바텀 발광 방식을 갖는 경우에는 상기 EL 층(180)은 RGB 중 어느 하나의 광을 발광하는 유기발광층이고, 상기 대향 전극층(185)은 금속 전극인 것이 바람직하다. 상기 픽셀 전극층(170)이 애노드(또는 정극성) 역할



을 수행하면, 상기 대향 전극층(185)은 캐소드(또는 부극성) 역할을 수행하고, 상기 픽셀 전극층(170)이 캐소드 역할을 수행하면, 상기 대향 전극층(185)은 애노드 역할을 수행한다.

120> 또한, 독립 발광과 탑 발광 방식을 갖는 경우에는 상기 EL 층(160)은 RGB 중 어느 하나의 광을 발광하는 유기발광층이고, 상기 대향 전극층(165)은 IT0와 같은 투명 전극인 것이 바람직하다.

121> 또한, 컬러 필터와 바텀 발광 방식을 갖는 경우에는 상기 평탄화막(159)과 제2 층간 절연막(158) 간에는 RGB 중 어느 하나의 컬러 필터가 더 구비되고, 상기 대향 전극층(185)은 금속 전극인 것이 바람직하다.

122> 또한, 컬러 필터와 탑 발광 방식을 갖는 경우에는 상기 평탄화막(159)과 제2 층간 절연막(158) 간에는 RGB 중 어느 하나의 컬러 필터가 더 구비되고, 상기 대향 전극층(185)은 IT0와 같은 투명 전극인 것이 바람직하다.

123> 상기한 도면상에는 바텀 발광 방식을 갖는 유기전계발광 표시장치로서 수평 방향의 전류 공급 라인(VDD)의 추가로 해당 부분이 비발광 영역이 되므로 발광 영역은 감소한다. 물론, 탑 발광 방식을 갖는 유기전계발광 표시장치에 적용한다면 발광 영역 하층에 전류 공급 라인(VDD)을 형성할 수 있으므로 발광 영역의 감소를 방지할 수 있다.

124> 도 10 내지 도 17은 상기한 도 8의 제조 방법을 설명하기 위한 도면들이다.

125> 도 10에 도시한 바와 같이, 기판 위에 전면적으로 형성된 절연막(미도시) 위에 스위칭 트랜지스터의 소오스 전극 형성을 위한 제1 버퍼층(110)과, 스위칭 트랜지스터의 드레인 전극 형성을 위한 제2 버퍼 층(112)과, 구동 트랜지스터의 드레인 전극 형성을 위한 제3 버퍼층(114)과, 구동 트랜지스터의 소오스 전극 형성을 위한 제4 버퍼층(116)을 형성한다.



126> 도 11에 도시한 바와 같이, 상기 제1 내지 제4 버퍼층(110, 112, 114, 116)이 형성된 절연막 위에 스위칭 트랜지스터의 형성을 위해 소오스 영역, 채널 형성 영역, 드레인 영역을 포함하는 제1 액티브층(120)과, 전류 제어 기능을 갖는 구동 트랜지스터의 형성을 위해 소오스 영역, 채널 형성 영역, 드레인 영역을 포함하는 제2 액티브층(122)을 형성한다.

127> 도 12에 도시한 바와 같이, 제1 액티브층(120)과 제2 액티브층(122)이 형성된 기판 위에 메탈층을 형성한 후 패터닝하여 수평 방향의 주사 라인(132)과 수평 방향의 전류 공급 라인(130)과 수직 방향의 스토리지 캐패시터용 라인(134)을 형성한다. 이때 주사 라인(132)으로부터 돌출되는 게이트 전극(132a, 132b)을 형성한다. 물론 도면상에서는 이중 게이트 구조를 갖는 스위칭 트랜지스터를 도시하나, 단일 게이트 구조를 갖는 스위칭 트랜지스터인 경우에는 하나의 게이트 전극이 형성되도록 패터닝한다.

28> 도 13에 도시한 바와 같이, 수평 방향의 전류 공급 라인(130)에 제1 콘택홀(140, 141)을 형성하고, 상기 제1 액티브층(120)의 양단에 제2 콘택홀(142, 143)을 형성하고, 상기 제2 액티브층(122)의 양단에 제3 콘택홀(144, 145)을 형성한다. 향후 제1 콘택홀(140, 141)을 통해 수직 방향의 전류 공급 라인이 연결될 것이고, 제2 콘택홀(142, 143)을 통해 스위칭 트랜지스터의 소오스 전극과 드레인 전극이 형성될 것이고, 제3 콘택홀(144, 145)을 통해 구동 트랜지스터의 소오스 전극과 드레인 전극이 형성될 것이다.

29> 도 14에 도시한 바와 같이, 수직 방향의 데이터 라인(150)과, 데이터 라인(150)으로부터 돌출되며, 제2 콘택홀(142)을 통해 연결되는 소오스 전극(151)과, 스위칭 트랜지스터의 드레인 전극 형성을 위한 제1 패턴(152)과, 수직 방향의 전류 공급 라인(154)과, 구동 트랜지스터의 드레인 전극 형성을 위한 제2 패턴(156)을 형성한다.

- 130> 도 15에 도시한 바와 같이, 구동 트랜지스터의 드레인 전극과 ITO와 같은 픽셀 전극과의 연결을 위한 콘택홀(160, 162)들을 형성한다.
- 31> 도 16에 도시한 바와 같이, 픽셀 전극 형성을 위한 ITO(170)를 형성한다.
- 32> 도 17에 도시한 바와 같이, 발광 영역을 정의하면서 향후 유기발광층을 수용하기 위한 격벽(175)을 형성한다. 향후 도 9에 도시한 바와 같이, 격벽(175)이 미형성된 영역을 위주로 EL 층(180)이 형성되며, EL 층(180) 위 및 격벽(175) 위에는 대향 전극층(185)이, 대향 전극층(185) 위에는 보호층(190)이 순차적으로 형성된다.
- 33> 이상에서 설명한 본 발명의 제1 실시예에서는 수직-전류 공급 라인을 갖는 픽셀마다 수평-전류 공급 라인을 구비시켜 네트 형태의 전류 공급 라인을 형성하는 것을 설명하였다.
- 34> 하지만, 전원전압이 직접 인가되는 수직-전류 공급 라인의 시작 영역에 대응하는 일정 수의 픽셀에는 상기 수평-전류 공급 라인의 형성을 생략하고, 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에는 일정 빈도수로 상기 수평-전류 공급 라인을 형성하며, 상기 수직-전류 공급 라인의 끝 영역에 대응하는 일정 수의 픽셀에는 매픽셀마다 상기 수평-전류 공급 라인을 형성할 수도 있다.
- 5> 물론, 상기 전원전압을 수직-전류 공급 라인의 양단에 인가하는 경우에는 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에만 일정 빈도수로 상기 수평-전류 공급 라인을 형성하는 것이 바람직하다.

3> <제2 실시예>

37> 도 18은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 단위 픽셀과 인접 픽셀을 설명하기 위한 등가회로도이다. 특히, NMOS로 스위칭 트랜지스터와 구동 트랜지스터를 실현한 예를 도시한다.

38> 도 18에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 단위 픽셀은 p번째 주사 신호를 전달하는 p번째 주사 라인(Gp)과, g번째 데이터 신호를 전달하는 g번째 데이터 라인(Dg)과, 제1 전원전압을 전달하는 g번째 수직-전류 공급 라인(V-Vddg)에 의해 정의되는 영역에 형성된 스위칭 트랜지스터(QS), 스토리지 캐패시터(CST), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)를 포함한다. 상기 스위칭 트랜지스터(QS)와 구동 트랜지스터(QD)는 NMOS로 구현되고, 액티브층으로서 어몰퍼스-실리콘층과 n+ 도핑층을 갖는다.

39> 제2 전원전압을 전달하는 p번째 수평-전류 공급 라인(H-Vddp)은 상기 주사 라인(Gp)과 평행하게 형성되어, 상기 수직-전류 공급 라인(V-Vddg)과 연결된다. 즉, 수직-전류 공급 라인(V-Vddg)은 데이터 라인을 형성할 때 상기 데이터 라인과 평행한 방향, 즉 수직 방향으로 형성되고, 각 수직-전류 공급 라인에는 주사 라인 수만큼의 화소가 연결된다.

40> 또한, 수평-전류 공급 라인(H-Vddp)은 주사 라인을 형성할 때 상기 주사 라인과 평행한 방향, 즉 수평 방향으로 형성되고, 교차하는 수직-전류 공급 라인(V-Vddg)과 연결된다.

41> 도 19는 상기한 도 18의 레이아웃 평면도이고, 도 20은 상기한 도 19에서 절단선 A1-A1'으로 절단한 단면도이다.

42> 도 19 및 도 20을 참조하면, 본 발명의 제2 실시예에 따른 유기전계발광 패널은 주사 라인(N10), 수평-전류 공급 라인(N14), 제1 액티브층(N20), 제2 액티브층(N24), 데이터 라인(N30), 스위칭 트랜지스터(QS), 구동 트랜지스터(QD), 수직-전류 공급 라인(N33), 제1 ITO 패

턴(N40), 제2 ITO 패턴(N42), 격벽(N50), EL층(N60), 대향 전극층(N70) 및 보호층(N80)을 포함한다. 보다 상세한 설명은 후술하는 도 21 내지 24를 참조하여 설명한다.

43> 도 21 내지 도 24는 상기한 도 19의 제조 방법을 설명하기 위한 도면들이다.

44> 도 21을 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 기판(N05) 위에 탄탈륨(Ta), 타타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텅스텐(W) 등과 같은 금속을 증착한 다음, 증착된 금속층을 패터닝하여 가로 방향으로 신장되는 주사 라인(N10)과, 주사 라인(N10)으로부터 연장된 제1 게이트 전극(N12)과, 상기 주사 라인과 평행한 수평-전류 공급 라인(N14)과, 스토리지 캐패시터용 패턴(N16)과, 상기 스토리지 캐패시터(N16)로부터 연장된 제2 게이트 전극(N18)을 형성한다.

45> 도 22를 참조하면, 기판(N05)의 전면에 질화 실리콘을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연막(N19)을 형성한다. 이어, 상기 게이트 절연막(N19) 위에 아몰퍼스-실리콘(a-Si) 막 및 인 시튜(insitu) 도핑된 n^+ 아몰퍼스-실리콘 막을 패터닝하여 상기 제1 게이트 전극(N12)에 대응하는 영역에는 제1 액티브층(N20)을, 상기 제2 게이트 전극(N18)에 대응하는 영역에는 제2 액티브층(N24)을 형성한다. 상기 제1 액티브층(N20)은 반도체층(N21) 및 오믹 콘택층(N22)을 갖고, 제2 액티브층(N24)은 반도체층(N25) 및 오믹 콘택층(N26)을 갖는다.

6> 또한, 수평-전류 공급 라인(N14)과 향후 형성될 수직-전류 공급 라인(N33)과의 연결을 위해 수평-전류 공급 라인(N14)의 일부 영역에 대응하는 게이트 절연막(N19)을 제거하여 제1 콘택홀(CNT1)을 형성한다.

7> 이어, 금속을 증착한 다음, 증착된 금속층을 패터닝하여 세로 방향으로 신장되는 데이터 라인(N30)과, 상기 데이터 라인(N30)으로부터 연장된 소오스 전극(N31)과, 상기 소오스 전극



(N31)으로부터 일정 간격 이격된 드레인 전극(N32)과, 세로 방향으로 신장되는 수직-전류 공급 라인(N33)과, 상기 수직-전류 공급 라인(N33)으로부터 연장된 드레인 전극(N34)과, 상기 드레인 전극(N34)으로부터 일정 간격 이격된 소오스 전극(N35)을 형성한다. 상기 수직-전류 공급 라인(N33)은 상기 제1 콘택홀(CNT1)에 의해 하부에 형성된 수평-전류 공급 라인(N14)과 연결된다.

148> 도 23을 참조하면, 상기 도 22에 의한 결과물이 형성된 기판 위에 레지스트를 스핀 코팅 방법으로 적층하여 절연막(N36)을 형성한 후, 스위칭 트랜지스터(QS)의 드레인 전극(N32)을 노출시키는 제2 콘택홀(CNT2)과, 스위칭 트랜지스터(QS)와 구동 트랜지스터(QD)와의 연결을 위해 상기 절연막(N36)의 일부를 제거하여 제3 콘택홀(CNT3)과, 구동 트랜지스터(QD)의 소오스 전극(N35)을 노출시키는 제4 콘택홀(CNT4)을 형성한다.

149> 도 24를 참조하면, 상기 도 23에 의한 결과물이 형성된 기판 위에 제1 ITO 패턴(N40)과 제2 ITO 패턴(N42)을 형성한다. 상기 제1 ITO 패턴(N40)은 스위칭 트랜지스터(QS)와 구동 트랜지스터(QD)를 서로 연결시키고, 제2 ITO 패턴(N42)은 상기 구동 트랜지스터(QD)의 소오스 전극(N31)과 연결되어 픽셀 전극을 정의한다. 상기 제1 및 제2 ITO 패턴(N40, N42)은 전면적으로 형성된 후 패터닝을 통해 형성될 수도 있고, 별도의 마스크를 통해 해당 영역에만 부분 도포되어 형성될 수도 있다.

150> 별도의 도면을 통해 도시하지는 않았지만, 발광 영역을 정의하면서 향후 유기발광층(또는 EL층)을 수용하기 위한 격벽(N50), 상기 격벽(N50)이 미형성된 영역을 위주로 EL층(N60), 상기 EL층(N60) 위에는 대향 전극층(N70), 상기 대향 전극층(N70) 위에는 보호층(N80)을 순차적으로 형성한다.



51> 상기한 본 발명의 제2 실시예에 따르면, 유기전계발광 소자의 구동 소자로 NMOS를 채용하는 유기전계발광 패널에서 수평 방향의 주사 라인(N10)을 형성할 때 수평-전류 공급 라인(N14)을 형성하고, 수직 방향의 데이터 라인(N30)을 형성할 때 수직-전류 공급 라인(N33)을 형성하며, 상기 수평-전류 공급 라인(N14)과 수직-전류 공급 라인(N33)은 제1 콘택홀(CNT1)을 통해 접합시켜 네트 형태로 구성하므로써, 유기전계발광 패널의 저항을 최소화할 수 있다.

52> <제3 실시예>

53> 도 25는 본 발명의 제3 실시예에 따른 유기전계발광 표시장치의 단위 픽셀과 인접 픽셀을 설명하기 위한 등가회로도이다.

54> 도 25에 도시한 바와 같이, 본 발명의 제3 실시예에 따른 단위 픽셀은 p번째 주사 신호를 전달하는 p번째 주사 라인(Gp)과, g번째 데이터 신호를 전달하는 g번째 데이터 라인(Dg)과, 제1 전원전압을 전달하는 g번째 수직-전류 공급 라인(V-Vddg)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(CST), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고, 제2 전원전압을 전달하는 p번째 수평-전류 공급 라인(H-Vddp)이 상기 주사 라인(Gp)과 평행하게 형성되어, 상기 수직-전류 공급 라인(V-Vddg)과 연결된다.

55> 또한, 상기 인접 픽셀은 p번째 주사 신호를 전달하는 p번째 주사 라인(Gp)과, g+1번째 데이터 신호를 전달하는 g+1번째 데이터 라인(Dg+1)과, 제1 전원전압을 전달하는 g+1번째 수직-전류 공급 라인(V-Vddg+1)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(CST), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고,



상기 수직-전류 공급 라인($V-V_{ddg}+1$)은 상기 단위 픽셀에 구비되는 수직-전류 공급 라인($V-V_{ddg}$)에 근접 배치되어 상기 수평-전류 공급 라인($H-V_{ddp}$)과 연결된다.

156> 즉, 수직-전류 공급 라인($V-V_{ddg}$)($V-V_{ddg}+1$)들은 최근접하도록 배치되어 데이터 라인을 형성할 때 상기 데이터 라인과 평행한 방향, 즉 수직 방향으로 형성되고, 각 수직-전류 공급 라인에는 주사 라인 수만큼의 화소가 연결된다.

157> 또한, 수평-전류 공급 라인($H-V_{ddp}$)은 주사 라인을 형성할 때 상기 주사 라인과 평행한 방향, 즉 수평 방향으로 형성되고, 교차하는 수직-전류 공급 라인($V-V_{ddg}$)($V-V_{ddg}+1$)과 연결된다.

58> 도면상에서는 제1 및 제2 스위칭 트랜지스터(QS1, QS2)가 P 채널 트랜지스터인 것을 나타낸다. 그러나, 상기 제1 및 제2 스위칭 트랜지스터(QS1, QS2)는 상기 P 채널 트랜지스터보다 높은 전계 효과 이동도를 갖고서 고속으로 동작하여 많은 양의 전류를 흐르게 하는 N 채널 트랜지스터일 수도 있다.

59> 또한, 제1 및 제2 스위칭 트랜지스터(QS1, QS2)는 전기적으로 접속된 이중 구조의 게이트 전극, 즉 서로 직렬 접속된 2개의 채널 형성 영역을 구비한 능동층을 갖는 구조를 갖는다. 상기한 이중 또는 다중 게이트 구조는 오프 전류를 감소시키는데 매우 효과적이다. 상기 스위칭 트랜지스터(QS1, QS2)의 오프 전류가 충분히 낮다면 캐패시터에 필요한 캐패시턴스는 많이 감소될 수 있으나, 상기 캐패시터가 차지하는 영역은 감소될 수 있다. 그러므로 상기 스위칭 트랜지스터(QS1, QS2)에 다중 게이트 구조를 제공하는 것을 EL 소자의 유효 발광 영역을 증가시키는데 효과적이다.

60> 도 26은 상기한 도 25의 레이아웃 평면도이다.

161> 도 26에 도시한 바와 같이, 본 발명의 제3 실시예에 따른 유기전계발광 패널은 수평 방향으로 형성되는 주사 라인(232)을 형성할 때 수평-전류 공급 라인(H-VDD)(230)을 형성하고, 수직 방향으로 형성되는 데이터 라인(250)을 형성할 때 단위 픽셀과 상기 단위 픽셀에 인접하는 인접 픽셀이 공유하도록 수직-전류 공급 라인(V-VDD)(254)을 형성하고, 상기 수평-전류 공급 라인(230)과 수직-전류 공급 라인(254)은 콘택홀(240, 241, 242)을 통해 접합시켜 네트 형태로 구성하므로써, 유기전계발광 패널의 저항을 최소화한다. 이때, 수평-전류 공급 라인(H-VDD)(230)이나 수직-전류 공급 라인(V-VDD)(254)은 대략 $8[\mu\text{m}]$ 폭을 갖는 저저항 배선을 사용하는 것이 바람직하다.

62> 즉, 단위 픽셀로 정의되는 좌측 픽셀은 우측 픽셀인 인접 픽셀과 수직-전류 공급 라인(V-VDD)(254)을 공유하므로 수직-전류 공급 라인(V-VDD)(254)과 데이터 라인과의 분리 영역, 예를 들어, 폭 $5[\mu\text{m}]$ 의 공간을 수직-전류 공급 라인(V-VDD)(254)으로 활용한다. 이때, 수직-전류 공급 라인(V-VDD)(254)의 폭은 $(8[\mu\text{m}]) \times 2 + 5[\mu\text{m}] = 21[\mu\text{m}]$ 이 되며, 이를 단위 픽셀과 인접 픽셀이 공유하므로 실질적으로는 $10.5[\mu\text{m}]$ 이다. 따라서, 본 발명의 제3 실시예에서는 수직-전류 공급 라인의 폭을 $8[\mu\text{m}]$ 로 한 것에 비해 $2.5[\mu\text{m}]$ 증가한 효과를 거둘 수 있다.

13> 마찬가지로, 공유하는 수직-전류 공급 라인(V-VDD)(254)을 기존과 같이 $16[\mu\text{m}]$ 으로 하는 대신에 발광 영역을 증가시킬 수 있는데, 이와 같이 함으로써 수평-전류 공급 라인(H-VDD)(230) 적용에 따른 발광 영역 감소를 보상할 수 있다. 이 경우 발광 영역은 증가하므로 전류 공급 라인(VDD)의 네트 형태에 의해 크로스토크를 방지할 뿐만 아니라 발광 영역도 증가시킬 수 있다.

164> 상기한 본 발명의 제3 실시예에서는 유기전계발광 소자(EL)를 구동하기 위해 PMOS 트랜지스터를 일례로 설명하였으나, 당업자라면 상기한 제2 실시예에서 설명한 바와 같이 NMOS 트랜지스터로 구현할 수 있음은 자명하다.

65> 이상에서 설명한 본 발명의 제3 실시예에서는 2개의 단위 픽셀을 하나의 유니트로 하여 하나의 수직-전류 공급 라인이 공유하는 구성하고, 픽셀마다 수평-전류 공급 라인을 구비시켜 네트 형태의 전류 공급 라인을 형성하는 것을 설명하였다.

66> 하지만, 전원전압이 직접 인가되는 수직-전류 공급 라인의 시작 영역에 대응하는 일정 수의 픽셀에는 상기 수평-전류 공급 라인의 형성을 생략하고, 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에는 일정 빈도수로 상기 수평-전류 공급 라인을 형성하며, 상기 수직-전류 공급 라인의 끝 영역에 대응하는 일정 수의 픽셀에는 매 픽셀마다 상기 수평-전류 공급 라인을 형성할 수도 있다.

67> 물론, 상기 전원전압을 수직-전류 공급 라인의 양단에 인가하는 경우에는 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에만 일정 빈도수로 상기 수평-전류 공급 라인을 형성하는 것이 바람직하다.

38> <제4 실시예>

39> 도 27은 본 발명의 제4 실시예에 따른 유기전계발광 표시장치의 단위 픽셀 및 인접 픽셀들을 설명하기 위한 등가회로도이다.

70> 도 27을 참조하면, 본 발명의 제4 실시예에 따른 단위 픽셀은 p번째 주사 신호를 전달하는 p번째 주사 라인(Gp)과, g번째 데이터 신호를 전달하는 g번째 데이터 라인(Dg)과, 제1 전원

전압을 전달하는 g 번째 수직-전류 공급 라인($V-V_{ddg}$)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(CST), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고, 제2 전원전압을 전달하는 p 번째 수평-전류 공급 라인($H-V_{ddp}$)이 상기 주사 라인(G_p)과 평행하게 형성되어, 상기 수직-전류 공급 라인($V-V_{ddg}$)과 연결된다.

71> 또한, 상기 단위 픽셀에 가로 방향으로 인접하는 제1 인접 픽셀은 p 번째 주사 신호를 전달하는 p 번째 주사 라인(G_p)과, $g+1$ 번째 데이터 신호를 전달하는 $g+1$ 번째 데이터 라인(D_{g+1})과, 제1 전원전압을 전달하는 $g+1$ 번째 수직-전류 공급 라인($V-V_{ddg+1}$)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(CST), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고, 상기 수직-전류 공급 라인($V-V_{ddg+1}$)은 상기 수평-전류 공급 라인($H-V_{ddp}$)과 연결된다.

2> 또한, 상기 단위 픽셀에 세로 방향으로 인접하는 제2 인접 픽셀은 $p+1$ 번째 주사 신호를 전달하는 $p+1$ 번째 주사 라인(G_{p+1})과, g 번째 데이터 신호를 전달하는 g 번째 데이터 라인(D_g)과, 제1 전원전압을 전달하는 g 번째 수직-전류 공급 라인($V-V_{ddg}$)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(CST), 구동 트랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고, 상기 수직-전류 공급 라인($V-V_{ddg}$)은 상기 수평-전류 공급 라인($H-V_{ddp}$)과 연결된다.

> 또한, 상기 단위 픽셀에 대각선 방향으로 인접하는 제3 인접 픽셀은 $p+1$ 번째 주사 신호를 전달하는 $p+1$ 번째 주사 라인(G_{p+1})과, $g+1$ 번째 데이터 신호를 전달하는 $g+1$ 번째 데이터 라인(D_{g+1})과, 제1 전원전압을 전달하는 $g+1$ 번째 수직-전류 공급 라인($V-V_{ddg+1}$)에 의해 정의되는 영역에 형성된 제1 및 제2 스위칭 트랜지스터(QS1, QS2), 스토리지 캐패시터(CST), 구동 트

랜지스터(QD) 및 유기 EL 소자(EL)로 구성되고, 상기 수직-전류 공급 라인($V-V_{ddg}+1$)은 상기 수평-전류 공급 라인($H-V_{ddp}$)과 연결된다.

74> 즉, 수직-전류 공급 라인($V-V_{ddg}$)($V-V_{ddg}+1$)들은 데이터 라인을 형성할 때 상기 데이터 라인과 평행한 방향, 즉 수직 방향으로 형성되고, 각 수직-전류 공급 라인에는 주사 라인 수만큼의 화소가 연결된다.

75> 또한, 수평-전류 공급 라인($H-V_{ddp}$)은 주사 라인을 형성할 때 상기 주사 라인과 평행한 방향, 즉 수평 방향으로 형성되고, 교차하는 수직-전류 공급 라인($V-V_{ddg}$)($V-V_{ddg}+1$)과 연결된다.

76> 한편, 상기한 도 27에서 도시한 유기전계발광 표시장치의 단위 픽셀 및 인접 픽셀들에 대한 레이아웃 평면도는 상기한 도 8이나 도 26에서 설명한 내용으로부터 당업자라면 용이하게 발명할 수 있으므로 이에 대해서는 설명을 생략한다.

77> 상기한 본 발명의 제4 실시예에서는 유기전계발광 소자(EL)를 구동하기 위해 PMOS 트랜지스터를 일례로 설명하였으나, 당업자라면 상기한 제2 실시예에서 설명한 바와 같이 NMOS 트랜지스터로 구현할 수 있음은 자명하다.

8> 이상에서 설명한 본 발명의 제4 실시예에서는 수직-전류 공급 라인을 갖는 픽셀중 서로 세로로 인접하는 2개의 픽셀마다 하나의 수평-전류 공급 라인을 구비시켜 네트 형태의 전류 공급 라인을 형성하는 것을 설명하였다.

9> 하지만, 전원전압이 직접 인가되는 수직-전류 공급 라인의 시작 영역에 대응하는 일정 수의 픽셀에는 상기 수평-전류 공급 라인의 형성을 생략하고, 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에는 일정 빈도수로

상기 수평-전류 공급 라인을 형성하며, 상기 수직-전류 공급 라인의 끝 영역에 대응하는 일정 수의 픽셀에는 매 픽셀마다 상기 수평-전류 공급 라인을 형성할 수도 있다.

80> 물론, 상기 전원전압을 수직-전류 공급 라인의 양단에 인가하는 경우에는 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에만 일정 빈도수로 상기 수평-전류 공급 라인을 형성하는 것이 바람직하다.

31> <제5 실시예>

32> 도 28은 본 발명의 제5 실시예에 따른 유기전계발광 표시 장치의 단위 픽셀을 설명하기 위한 평면도이고, 도 29는 상기한 도 28의 절단선 B-B'으로 절단한 단면도이다.

33> 도 28을 참조하면, 본 발명의 제5 실시예에 따른 유기전계발광 패널은 수직 방향의 데이터 라인(330)의 형성시 수직-전류 공급 라인(V-VDD)(332)을 형성하고, 픽셀 전극층(또는, ITO)(350)의 형성시 평면상에서 관찰되는 주사 라인(310)에 중첩되도록 수평-전류 공급 라인(H-VDD)(352)을 형성한다.

4> 상기 수직-전류 공급 라인(332)과 상기 수평-전류 공급 라인(352)은 콘택홀(346)을 통해 접합시켜 네트 형태로 구성하므로써, 유기전계발광 패널의 저항을 최소화한다. 이때, 상기 수평-전류 공급 라인(H-VDD)(130)이나 상기 수직-전류 공급 라인(V-VDD)(154)은 대략 8[μ m] 폭을 갖는 저저항 배선을 사용하는 것이 바람직하다.

5> 도 28 및 도 29를 참조하면, 기판(301) 위에는 절연막(303)이 형성된다. 여기서, 상기 기판(301)은 투명 기판이고, 기판으로 사용 가능한 투명 기판의 전형적인 예는 유리 기판, 석

영 기판, 유리 세라믹 기판 및 결정 유리 기판을 포함한다. 그러나, 기판용 물질은 제조 공정 시 높은 처리 온도에 대해 저항성을 갖는 것이 바람직하다.

86> 상기 절연막(303) 위에 형성되는 구동 트랜지스터(QD)는 제1 소오스 영역, 제1 채널 형성 영역, 제1 드레인 영역을 포함하는 제1 액티브층(305)과, 상기 제1 액티브층(305) 위에 형성되면서 상기 제1 소오스 영역과 제1 드레인 영역을 노출시키는 게이트 절연막(309)과, 상기 게이트 절연막(309) 위에 형성되는 제1 게이트 전극(314)과, 상기 제1 게이트 전극(334)과 게이트 절연막(309) 위에 형성되면서 상기 제1 소오스 영역과 제1 드레인 영역을 노출시키는 제1 층간 절연막(320)과, 상기 제1 층간 절연막(320) 위에 형성되면서 상기 제1 소오스 영역에 연결되는 제1 소오스 전극(332)과, 그리고 상기 제1 층간 절연막(320) 위에 형성되면서 제1 드레인 영역에 연결되는 제1 드레인 전극(334)을 포함한다.

87> 상기 절연막(303) 위에 형성되는 스위칭 트랜지스터(QS)는 제2 소오스 영역, 제2 채널 형성 영역, 제2 드레인 영역을 포함하는 제2 액티브층(307)과, 상기 제2 액티브층(307) 위에 형성되면서 상기 제2 소오스 영역과 제2 드레인 영역을 노출시키는 게이트 절연막(309)과, 상기 게이트 절연막(309) 위에 형성되는 제2 게이트 전극(312)과, 상기 제2 게이트 전극(312)과 게이트 절연막(309) 위에 형성되면서 상기 제2 소오스 영역과 제2 드레인 영역을 노출시키는 제1 층간 절연막(320)과, 상기 제1 층간 절연막(320) 위에 형성되면서 상기 제2 소오스 영역에 연결되는 제2 소오스 전극(330)과, 그리고 상기 제1 층간 절연막(320) 위에 형성되면서 제2 드레인 영역에 연결되는 제2 드레인 전극(336)을 포함한다.

88> 한편, 주사 라인(310) 위에는 수평 방향으로 형성된 수평-전류 공급 라인(352)이 형성되고, 제2 층간 절연막(340)에 형성된 콘택홀(346)을 경유하여 수직 방향으로 하부에 형성된 상기 수직-전류 공급 라인(332)과 연결된다.

- 89> 상기 구동 트랜지스터(QD), 수직-전류 공급 라인(332) 및 스위칭 트랜지스터(QS) 위에는 제2 층간 절연막(340)이 형성된다.
- 90> ITO와 같은 도전성 산화물로 이루어지는 픽셀 전극층(350)은 제2 층간 절연막(340)을 개구시킨 홀을 경유하여 하부에 구비되는 구동 트랜지스터(QD)의 소오스 전극(342)과 연결된다. 물론, 상기한 ITO외에 알루미늄 계열의 메탈층, 몰리브덴 계열의 메탈층 등 다양한 메탈층의 적용이 가능하다.
- 91> 픽셀 전극층(350) 위에는 발광 영역을 정의하는 격벽(360)이 형성되고, 격벽(360)이 미형성된 영역을 위주로 EL 층(370)이 형성되며, 상기 EL 층(370) 위 및 격벽(360) 위에는 대향 전극층(380)이, 상기 대향 전극층(380) 위에는 보호층(390)이 순차적으로 형성된다. 상기 픽셀 전극층(350)이 애노드(또는 정극성) 역할을 수행하면, 상기 대향 전극층(380)은 캐소드(또는 부극성) 역할을 수행하고, 상기 픽셀 전극층(350)이 캐소드 역할을 수행하면, 상기 대향 전극층(380)은 애노드 역할을 수행한다.
- 2> 여기서, 상기 EL 층(370)은 적층 구조로 형성될 때, 보다 더 나은 발광 효율을 얻을 수 있다. 통상적으로, 상기 EL 층(370)은 상기 픽셀 전극층(350) 위에 정공 주입층, 정공 수송층, 발광층 및 전자 수송층을 차례대로 형성함으로써 형성된다. 대신에, 상기 EL 층(370)은 정공 수송층, 발광층, 및 전자 수송층이 이러한 차례로 형성된 적층 구조 또는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 차례로 형성된 적층 구조를 취할 수 있다.
- > 만일, 본 발명에 따른 유기전계발광 표시장치가 독립 발광과 바텀 발광 방식을 갖는 경우에는 상기 EL 층(370)은 RGB 중 어느 하나의 광을 발광하는 유기발광층이고, 상기 대향 전극층(380)은 금속 전극인 것이 바람직하다.

- 94> 또한, 독립 발광과 탑 발광 방식을 갖는 경우에는 상기 EL 층(370)은 RGB 중 어느 하나의 광을 발광하는 유기발광층이고, 상기 대향 전극층(380)은 IT0와 같은 투명 전극인 것이 바람직하다.
- 95> 도 30 내지 도 34는 상기한 도 28의 제조 방법을 설명하기 위한 평면도들이다.
- 96> 도 30을 참조하면, 기판 위에 형성된 절연막(도 29의 303) 위에 구동 트랜지스터를 정의하기 위한 제1 액티브층(305)과 스위칭 트랜지스터를 정의하기 위한 제2 액티브층(307)을 형성한다. 상기 제1 및 제2 액티브층(305, 307)은 폴리-실리콘(poly-Si)층, 아몰퍼스-실리콘(a-Si)층, 나노 와이어층, 싱글 크리스탈층, 나노 크리스탈층일 수 있다.
- 97> 도 31을 참조하면, 상기 제1 및 제2 액티브층(305, 307)이 형성된 기판 위에 게이트 절연막(309)을 형성하고, 메탈층(미도시)을 형성한 후 패터닝하여 수평 방향의 주사 라인(310)과, 주사 라인(310)으로부터 연장된 게이트 전극(312)과, 수직 방향의 스토리지 캐패시터용 라인(314)을 형성한다. 도면상에서는 단일 게이트 구조를 갖는 스위칭 트랜지스터를 도시하나, 2개 이상의 다중 게이트 구조를 갖는 스위칭 트랜지스터인 경우에도 가능하다. 상기 게이트 절연막(309)은 기판 전면에서 형성될 수도 있고, 향후 형성된 주사 라인 및 게이트 전극에 대응해서 형성될 수도 있다.
- 98> 도 32를 참조하면, 상기 주사 라인(310) 및 게이트 전극(312)이 형성된 기판 위에 제1 층간 절연막(320)을 형성하고, 구동 트랜지스터(QD)의 제1 액티브층(305) 양단에 제1 및 제2 콘택홀(321, 322)을 형성하고, 스위칭 트랜지스터(QS)의 제2 액티브층(307) 양단에 제3 및 제4 콘택홀(323, 324)을 형성하며, 구동 트랜지스터(QD)의 게이트 전극과 스위칭 트랜지스터(QS)의 드레인 전극과의 연결을 위한 제5 콘택홀(325)을 형성한다.

- 99> 도 33을 참조하면, 수직 방향의 데이터 라인(330)과, 수직-전류 공급 라인(332)과, 상기 구동 트랜지스터(QD)의 소오스 전극 형성을 위한 제1 패턴(334)과, 상기 스위칭 트랜지스터(QS)의 드레인 전극 형성을 위한 제2 패턴(336)을 형성한다.
- 00> 이어, 제2 층간 절연막(340)을 형성하고, 제6 및 제7 콘택홀(342, 346)을 형성한다. 상기 제6 콘택홀(342)은 향후 형성된 픽셀 전극과의 연결을 위해 상기 구동 트랜지스터(QD)의 소오스 전극을 노출시키고, 상기 제7 콘택홀(346)은 향후 형성될 수평-전류 공급 라인(352)과의 연결을 위해 상기 수직-전류 공급 라인(332)의 일부를 노출시킨다.
- 11> 도 34를 참조하면, 픽셀 전극 형성을 위한 IT0(350)을 형성하고, 평면상에서 관찰할 때 하부에 형성된 주사 라인(310)에 중첩되도록 수평-전류 공급 라인(352)을 형성한다.
- 12> 상기 픽셀 전극층(350)이나 수평-전류 공급 라인(352)은 전면적으로 형성된 IT0층을 패터닝하여 형성될 수도 있고, 별도의 마스크를 통해 픽셀 전극 영역과 수평-전류 공급 라인 영역에만 IT0층을 형성될 수도 있다.
- 3> 별도의 도면을 통해 도시하지는 않았지만, 발광 영역을 정의하면서 향후 유기발광층(또는 EL층)을 수용하기 위한 격벽(360), 상기 격벽(360)이 미형성된 영역을 위주로 EL층(370), 상기 EL층(370) 위 및 격벽(360) 위에는 대향 전극층(380), 상기 대향 전극층(380) 위에는 보호층(390)을 순차적으로 형성한다.
- 4> 상기한 본 발명의 제5 실시예에서는 유기전계발광 소자(EL)를 구동하기 위해 PMOS 트랜지스터를 일례로 설명하였으나, 당업자라면 상기한 제2 실시예에서 설명한 바와 같이 NMOS 트랜지스터로 구현할 수 있음은 자명하다.

- 05> 당업자라면, 전원전압이 직접 인가되는 수직-전류 공급 라인의 시작 영역에 대응하는 일정 수의 픽셀에는 상기 수평-전류 공급 라인의 형성을 생략하고, 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에는 일정 빈도수로 상기 수평-전류 공급 라인을 형성하며, 상기 수직-전류 공급 라인의 끝 영역에 대응하는 일정 수의 픽셀에는 매 픽셀마다 상기 수평-전류 공급 라인을 형성할 수도 있다.
- 06> 물론, 상기 전원전압을 수직-전류 공급 라인의 양단에 인가하는 경우에는 상기 수직-전류 공급 라인의 중간 영역에 대응하는 일정 수의 픽셀에만 일정 빈도수로 상기 수평-전류 공급 라인을 형성하는 것이 바람직하다.
- 07> <제6 실시예>
- 08> 도 35는 본 발명의 제6 실시예에 따른 유기전계발광 표시 장치의 단위 픽셀을 설명하기 위한 평면도이고, 도 36은 상기한 도 35의 절단선 C-C'으로 절단한 단면도이다.
- 09> 도 35 및 도 36을 참조하면, 본 발명의 제6 실시예에 따른 유기전계발광 패널은 수평 방향의 주사 라인(410)의 형성시 수평-전류 공급라인(413)을 형성하고, 수직 방향의 데이터 라인(430)의 형성시 제1 수직-전류 공급 라인(432)을 형성하며, 픽셀 전극층(또는, IT0)(450)의 형성시 상기 데이터 라인(430)에 중첩되도록 제2 수직-전류 공급 라인(452)을 형성한다.
- 10> 상기 수평-전류 공급 라인(413)과 상기 제1 수직-전류 공급 라인(432)은 콘택홀(426)을 통해 접합시키고, 상기 수평-전류 공급 라인(413)과 상기 제2 수직-전류 공급 라인(432)은 콘택홀(442)을 통해 접합시켜 네트 형태로 구성하므로써, 유기전계발광 패널의 저항을 최소화한다.

- 11> 상기한 도 35 및 도 36의 평면도나 단면도에 대한 설명은 상기한 도 28 및 도 29에서 설명한 바와 유사하므로 그에 대한 상세한 설명은 생략한다. 이하, 본 발명의 제6 실시예에 따른 제조 방법에 대해서 첨부하는 도면을 참조하여 설명한다.
- 12> 도 37 내지 도 41은 상기한 도 35의 제조 방법을 설명하기 위한 평면도들이다.
- 13> 도 37을 참조하면, 기판 위에 형성된 절연막(도 29의 403) 위에 구동 트랜지스터(QD)를 정의하기 위한 제1 액티브층(405)과 스위칭 트랜지스터(QS)를 정의하기 위한 제2 액티브층(407)을 형성한다. 상기 제1 및 제2 액티브층(405, 407)은 폴리-실리콘(poly-Si)층, 아몰퍼스-실리콘(a-Si)층, 나노 와이어층, 싱글 크리스탈층, 나노 크리스탈층일 수 있다.
- 14> 도 38을 참조하면, 상기 제1 및 제2 액티브층(405, 407)이 형성된 기판 위에 게이트 절연막(409)을 형성하고, 메탈층(미도시)을 형성한 후 패터닝하여 수평 방향의 주사 라인(410)과, 상기 주사 라인(410)으로부터 연장된 게이트 전극(412)과, 수평 방향의 수평-전류 공급라인(413)과, 수직 방향의 스토리지 캐패시터용 라인(414)을 형성한다. 도면상에서는 단일 게이트 구조를 갖는 스위칭 트랜지스터를 도시하나, 2개 이상의 다중 게이트 구조를 갖는 스위칭 트랜지스터인 경우에도 가능하다. 상기 게이트 절연막(409)은 기판 전면에서 형성될 수도 있고, 향후 형성된 주사 라인 및 게이트 전극에 대응해서 형성될 수도 있다.
- 15> 도 39를 참조하면, 상기 주사 라인(410) 및 게이트 전극(412)이 형성된 기판 위에 제1 층간 절연막(420)을 형성하고, 상기 구동 트랜지스터(QD)의 제1 액티브층(405) 양단에 제1 및 제2 콘택홀(421, 422)을 형성하고, 상기 스위칭 트랜지스터(QS)의 제2 액티브층(407) 양단에 제3 및 제4 콘택홀(423, 424)을 형성하며, 상기 구동 트랜지스터(QD)의 게이트 전극과 스위칭 트랜지스터(QS)의 드레인 전극과의 연결을 위한 제5 콘택홀(425)을 형성하고, 상기 수평-전류



공급라인(413)과 상기 제1 수직-전류 공급 라인(432)과의 연결을 위한 제6 콘택홀(426)을 형성한다.

16> 도 40을 참조하면, 수직 방향의 데이터 라인(430)과, 제1 수직-전류 공급 라인(432)과, 구동 트랜지스터(QD)의 소오스 전극 형성을 위한 제1 패턴(434)과, 스위칭 트랜지스터(QS)의 드레인 전극 형성을 위한 제2 패턴(436)을 형성한다.

17> 이어, 제2 층간 절연막(440)을 형성한 후 제7 및 제8 콘택홀(441, 442)을 형성한다. 상기 제7 콘택홀(441)은 향후 형성된 픽셀 전극과의 연결을 위해 제1 패턴(434)의 일부 영역, 즉 상기 구동 트랜지스터(QD)의 소오스 전극을 노출시키고, 상기 제8 콘택홀(442)은 향후 형성될 제2 수직-전류 공급 라인(452)과의 연결을 위해 수평-전류 공급 라인(413)의 일부를 노출시킨다. 상기 제8 콘택홀(442)은 평면상에서 관찰할 때 데이터 라인(430)으로부터 일정 간격 이격되는 것이 바람직하다.

18> 도 41을 참조하면, 픽셀 전극 형성을 위한 ITO(450)을 형성하고, 평면상에서 관찰할 때 하부에 형성된 데이터 라인(430)에 중첩되도록 제2 수직-전류 공급 라인(452)을 형성한다. 상기 픽셀 전극층(450)이나 제2 수직-전류 공급 라인(452)은 전면적으로 형성된 ITO층을 패터닝하여 형성될 수도 있고, 별도의 마스크를 통해 픽셀 전극 영역과 수평-전류 공급 라인 영역에만 ITO층이 형성될 수도 있다.

19> 별도의 도면을 통해 도시하지는 않았지만, 발광 영역을 정의하면서 향후 유기발광층(또는 EL층)을 수용하기 위한 격벽과, 격벽이 미형성된 영역을 위주로 EL층과, 상기 EL층 위 및 격벽 위에는 대향 전극층과, 대향 전극층 위에는 보호층을 순차적으로 형성한다.

20> 상기한 본 발명의 제6 실시예에서는 유기전계발광 소자(EL)를 구동하기 위해 PMOS 트랜지스터를 일례로 설명하였으나, 당업자라면 상기한 제2 실시예에서 설명한 바와 같이 NMOS 트랜지스터로 구현할 수 있음은 자명하다.

21> <제7 실시예>

22> 도 42는 본 발명의 제7 실시예에 따른 유기전계발광 표시 장치의 단위 픽셀을 설명하기 위한 평면도이고, 도 43은 상기한 도 42의 절단선 D-D'으로 절단한 단면도이다.

23> 도 42 및 도 43을 참조하면, 본 발명의 제7 실시예에 따른 유기전계발광 패널은 데이터 라인(530)의 형성시 제1 수직-전류 공급 라인(532)을 형성하며, 픽셀 전극층(또는, ITO층)(550)의 형성시 주사 라인(510)에 중첩되도록 수평-전류 공급 라인(552)과, 데이터 라인(530)에 중첩되도록 제2 수직-전류 공급 라인(553)을 형성한다.

24> 상기 수평-전류 공급 라인(552)과 상기 제2 수직-전류 공급 라인(553)은 동일한 ITO 층의 패터닝을 통해 형성되고, 상기 수평-전류 공급 라인(552)과 상기 제1 수직-전류 공급 라인(532)은 콘택홀(546)을 통해 접합되어 네트 형태로 구성하므로써, 유기전계발광 패널의 저항을 최소화한다.

25> 상기한 도 42 및 도 43의 평면도나 단면도에 대한 설명은 상기한 도 28 및 도 29에서 설명한 바와 유사하므로 그에 대한 상세한 설명은 생략한다. 이하, 본 발명의 제7 실시예에 따른 제조 방법에 대해서 첨부하는 도면을 참조하여 설명한다.

26> 도 44 내지 도 48은 상기한 도 42의 제조 방법을 설명하기 위한 평면도들이다.

- 27> 도 44를 참조하면, 기판 위에 형성된 절연막(도 36의 503) 위에 구동 트랜지스터(QD)를 정의하기 위한 제1 액티브층(505)과 스위칭 트랜지스터(QS)를 정의하기 위한 제2 액티브층(507)을 형성한다. 상기 제1 및 제2 액티브층(505, 507)은 폴리-실리콘(poly-Si)층, 아몰퍼스-실리콘(a-Si)층, 나노 와이어층, 싱글 크리스탈층, 나노 크리스탈층일 수 있다.
- 28> 도 45를 참조하면, 상기 제1 및 제2 액티브층(505, 507)이 형성된 기판 위에 게이트 절연막(509)을 형성하고, 메탈층(미도시)을 형성한 후 패터닝하여 수평 방향의 주사 라인(510)과, 상기 주사 라인(510)으로부터 연장된 게이트 전극(512)과, 수직 방향의 스토리지 캐패시터용 라인(514)을 형성한다. 도면상에서는 단일 게이트 구조를 갖는 스위칭 트랜지스터를 도시하나, 2개 이상의 다중 게이트 구조를 갖는 스위칭 트랜지스터인 경우에도 가능하다. 상기 게이트 절연막(509)은 기판 전면에서 형성될 수도 있고, 향후 형성된 주사 라인 및 게이트 전극에 대응해서 형성될 수도 있다.
- 29> 도 46을 참조하면, 상기 주사 라인(510) 및 게이트 전극(512)이 형성된 기판 위에 제1 층간 절연막(520)을 형성하고, 상기 구동 트랜지스터(QD)의 제1 액티브층(505) 양단에 제1 및 제2 콘택홀(521, 522)을 형성하고, 상기 스위칭 트랜지스터(QS)의 제2 액티브층(507) 양단에 제3 및 제4 콘택홀(523, 524)을 형성하며, 상기 구동 트랜지스터의 게이트 전극과 스위칭 트랜지스터의 드레인 전극과의 연결을 위한 제5 콘택홀(525)을 형성한다.
- 30> 도 47을 참조하면, 수직 방향의 데이터 라인(530)과, 수직-전류 공급 라인(532)과, 구동 트랜지스터(QD)의 소오스 전극 형성을 위한 제1 패턴(534)과, 스위칭 트랜지스터(QS)의 드레인 전극 형성을 위한 제2 패턴(536)을 형성한다.
- 31> 이어, 제2 층간 절연막(540)을 형성하고, 제6 및 제7 콘택홀(542, 546)을 형성한다. 상기 제6 콘택홀(542)은 향후 형성된 픽셀 전극과의 연결을 위해 구동 트랜지스터(QD)의 소오스

전극을 노출시키고, 상기 제7 콘택홀(546)은 향후 형성될 수평-전류 공급 라인(552)과의 연결을 위해 수직-전류 공급 라인(532)의 일부를 노출시킨다.

32> 도 48을 참조하면, 픽셀 전극 형성을 위한 ITO(550)를 형성하고, 상기 픽셀 전극층(또는, ITO층)(550)의 형성시 주사 라인(510)에 중첩되도록 수평-전류 공급 라인(552)과, 데이터 라인(530)에 중첩되도록 제2 수직-전류 공급 라인(553)을 형성한다. 상기 수평-전류 공급 라인(552)과 상기 제2 수직-전류 공급 라인(553)은 동일한 ITO 층의 패터닝을 통해 형성되고, 상기 수평-전류 공급 라인(552)과 상기 제1 수직-전류 공급 라인(532)은 콘택홀(546)을 통해 접합되어 네트 형태로 구성된다. 상기 수평-전류 공급 라인(552)과 상기 제2 수직-전류 공급 라인(553)은 전면적으로 형성된 ITO층의 패터닝을 통해 형성할 수도 있고, 별도의 마스크를 통해 부분적으로 ITO층을 형성할 수도 있다.

3> 별도의 도면을 통해 도시하지는 않았지만, 발광 영역을 정의하면서 향후 유기발광층(또는 EL층)을 수용하기 위한 격벽과, 격벽이 미형성된 영역을 위주로 EL층과, 상기 EL층 위 및 격벽 위에는 대향 전극층과, 대향 전극층 위에는 보호층을 순차적으로 형성한다.

4> 상기한 본 발명의 제7 실시예에서는 유기전계발광 소자(EL)를 구동하기 위해 PMOS 트랜지스터를 일례로 설명하였으나, 당업자라면 상기한 제2 실시예에서 설명한 바와 같이 NMOS 트랜지스터로 구현할 수 있음은 자명하다.

5> 이상에서 설명한 본 발명의 다양한 실시예들에 따르면, 유기전계발광 표시장치에서 발생되는 크로스토크 현상의 문제점을 해결하기 위해 데이터 라인과 평행한 수직-전류 공급 라인(V-VDD)과 주사 라인과 평행한 수평-전류 공급 라인(H-VDD)을 형성하고, 상기 수직-전류 공급 라인(V-VDD)과 상기 수평 전류 공급 라인(H-VDD)을 연결시켜 네트 형태(Net type)의 전류 공급

라인(VDD)을 구현함으로써 면저항에 가까운 저저항을 실현하여 효율적으로 크로스토크를 저감시킬 수 있다.

- 36> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

- 37> 이상에서 설명한 바와 같이, 본 발명에 따르면 수직 또는 수평 방향으로 배열되는 전류 공급 라인(VDD)의 저항을 최소화하기 위해 별도의 수평 또는 수직 방향으로 배열되는 전류 공급 라인을 형성함으로써, 임의의 화소에서 느끼는 전원전압을 균일하게 하여 수직 또는 수평 방향의 전압 강하를 최소화할 수 있고, 이에 따라 수직 또는 수평 방향으로 발생하는 크로스토크를 줄일 수 있다.
- 38> 또한, 단위 픽셀에 구비되는 전류 공급 라인을 인접 픽셀과 공유시키므로써 상기 전류 공급 라인의 배치에 따른 영역을 줄일 수 있고, 이에 따라 발광 면적을 최대화할 수 있다.

【특허청구범위】

【청구항 1】

데이터 신호를 전달하는 데이터 라인;

주사 신호를 전달하는 주사 라인;

상기 데이터 라인 및 주사 라인에 의해 정의되는 단위 화소 영역에 형성되고, 상기 주사 신호에 따라 상기 데이터 신호의 출력을 온/오프 제어하는 스위칭부;

상기 단위 화소의 적어도 2면에 대응하여 네트 형상을 정의하고, 전류를 공급하는 전류 공급 라인;

상기 전류에 대응하는 광을 발광하는 유기전계발광부; 및

제1단이 상기 유기전계발광부의 타단에 연결되고, 제2단이 상기 전류 공급 라인에 연결되며, 상기 스위칭부를 통한 데이터 신호에 응답하여 상기 제1단에서 제2단으로 또는 상기 제2단에서 제1단으로 전류 흐름을 제어하여 상기 유기전계발광부의 발광을 제어하는 구동부를 포함하는 표시패널.

【청구항 2】

제1항에 있어서, 상기 전류 공급 라인은,

제 1 방향으로 신장되어, 일단을 통해 인가되는 제1 전원전압을 전달하는 제1 전류 공급 라인; 및

제2 방향으로 신장되고, 상기 제1 전류 공급 라인과 연결되며, 일단을 통해 인가되는 제 2 전원전압을 전달하는 제2 전류 공급 라인을 포함하는 표시패널.

【청구항 3】

제2항에 있어서, 상기 유기전계발광부는 픽셀 전극을 포함하고,

상기 제1 전류 공급 라인은 상기 데이터 라인의 형성시 형성되고, 상기 제2 전류 공급 라인은 상기 픽셀 전극의 형성시 형성되는 것을 특징으로 하는 표시 패널.

【청구항 4】

제3항에 있어서, 상기 제2 전류 공급 라인은 평면상에서 관찰할 때 상기 주사 라인에 오버랩되어 형성되는 것을 특징으로 하는 표시패널.

【청구항 5】

제2항에 있어서, 상기 유기전계발광부는 픽셀 전극을 포함하고,

상기 제1 전류 공급 라인은 상기 데이터 라인의 형성시 형성되고, 상기 제2 전류 공급 라인은 상기 주사 라인의 형성시 형성되는 것을 특징으로 하는 표시 패널.

【청구항 6】

제5항에 있어서, 상기 제1 방향으로 신장되어 상기 제2 전류 공급 라인에 연결되고, 일단을 통해 인가되는 제3 전원전압을 상기 제2 전류 공급 라인에 전달하는 상기 제3 전류 공급 라인을 더 포함하는 표시 패널.

【청구항 7】

제2항에 있어서, 상기 유기전계발광부는 픽셀 전극을 포함하고,

상기 제1 전류 공급 라인은 상기 데이터 라인의 형성시 형성되고, 상기 제2 전류 공급 라인은 상기 픽셀 전극의 형성시 형성되되, 평면상에서 관찰할 때 상기 주사 라인과 상기 데이터 라인에 오버랩되어 형성되는 것을 특징으로 하는 표시패널.

【청구항 8】

제2항에 있어서, 일단이 상기 제1 전류 공급 라인과 연결되고, 타단이 상기 구동부의 제3단에 연결된 스토리지 캐패시터를 더 포함하는 표시패널.

【청구항 9】

제2항에 있어서, 상기 제2 전류 공급 라인은 하나의 화소를 단위로 하여 상기 제1 전류 공급 라인과 연결되는 것을 특징으로 하는 표시패널.

【청구항 10】

제1항에 있어서, 상기 제2 전류 공급 라인은 다수의 화소를 단위로 하여 상기 제1 전류 공급 라인과 연결되는 것을 특징으로 하는 표시패널.

【청구항 11】

제2항에 있어서, 상기 제1 전류 공급 라인은 상기 데이터 라인과 평행하고,
상기 제2 전류 공급 라인은 상기 주사 라인과 평행한 것을 특징으로 하는 표시패널.

【청구항 12】

제2항에 있어서, 상기 제1 전류 공급 라인은 상기 주사 라인과 평행하고,
상기 제2 전류 공급 라인은 상기 데이터 라인과 평행한 것을 특징으로 하는 표시패널.

【청구항 13】

제2항에 있어서, 상기 제1 전원전압의 레벨과 제2 전원전압의 레벨은 동일한 것을 특징으로 하는 표시패널.



【청구항 14】

제2항에 있어서, 상기 제1 전류 공급 라인은 상기 데이터 라인과 주사 라인에 의해 정의되는 영역에 구비되는 상기 스위칭부, 유기전계발광부 및 구동부를 구비하는 단위 픽셀과, 상기 단위 픽셀에 인접하는 인접 픽셀에 공통되는 것을 특징으로 하는 표시패널.

【청구항 15】

제1항에 있어서, 상기 구동부는 제1 트랜지스터를 포함하고,

상기 제1 트랜지스터는 PMOS 트랜지스터와 NMOS 트랜지스터중 어느 하나인 것을 특징으로 하는 표시패널.

【청구항 16】

제1항에 있어서, 상기 스위칭부는 제2 트랜지스터를 포함하고,

상기 제2 트랜지스터는 PMOS 트랜지스터와 NMOS 트랜지스터중 어느 하나인 것을 특징으로 하는 표시패널.

【청구항 17】

(a) 주사 라인과, 상기 주사 라인으로부터 연장된 제어 전극과, 상기 주사 라인으로부터 이격된 스토리지 캐패시터용 라인을 형성하는 단계;

(b) 데이터 라인과, 제1 전류 공급 라인과, 구동 트랜지스터의 제1 전류 전극을 정의하는 제1 패턴과, 스위칭 트랜지스터의 제1 전류 전극을 정의하는 제2 패턴을 형성하는 단계; 및



(c) 상기 주사 라인과 데이터 라인에 의해 정의되는 일정 영역에 픽셀 전극을 형성하고, 상기 픽셀 전극으로부터 이격된 제2 전류 공급 라인을 형성하는 단계를 포함하는 표시패널의 제조 방법.

【청구항 18】

제17항에 있어서, 상기 제1 전류 공급 라인은 상기 데이터 라인의 형성시 형성되는 것을 특징으로 하는 표시패널의 제조 방법.

【청구항 19】

제17항에 있어서, 상기 제2 전류 공급 라인은 상기 픽셀 전극의 형성시 형성되는 것을 특징으로 하는 표시 패널의 제조 방법.

【청구항 20】

제19항에 있어서, 상기 제2 전류 공급 라인은 평면상에서 관찰할 때 상기 주사 라인에 오버랩되어 형성되는 것을 특징으로 하는 표시패널의 제조 방법.

【청구항 21】

제17항에 있어서, 상기 단계(a) 이전에 상기 구동 트랜지스터를 정의하기 위한 제1 액티브층과 상기 스위칭 트랜지스터를 정의하기 위한 제2 액티브층을 형성하는 단계를 더 포함하는 표시패널의 제조 방법.

【청구항 22】

제21항에 있어서, 상기 제1 및 제2 액티브층은 폴리-실리콘(poly-Si)층, 아몰퍼스-실리콘(a-Si)층, 나노 와이어층, 싱글 크리스탈층, 나노 크리스탈층 중 어느 하나인 것을 특징으로 하는 표시 패널의 제조 방법.

【청구항 23】

제21항에 있어서, 상기 단계(b)는,

(b-1) 상기 주사 라인 및 제어 전극이 형성된 기판 위에 제1 층간 절연막을 형성하는 단계; 및

(b-2) 상기 제1 액티브층 양단에 제1 및 제2 콘택홀을 형성하고, 상기 제2 액티브층 양단에 제3 및 제4 콘택홀을 형성하며, 상기 구동 트랜지스터의 제어 전극과 스위칭 트랜지스터의 제1 전류 전극과의 연결을 위한 제5 콘택홀을 형성하는 단계를 더 포함하는 표시패널의 제조 방법.

【청구항 24】

제23항에 있어서, 상기 단계(b)는,

(b-3) 제2 층간 절연막을 형성하는 단계; 및

(b-4) 상기 픽셀 전극과의 연결을 위해 상기 구동 트랜지스터의 제1 전류 전극을 노출시키는 제6 콘택홀과, 상기 제2 전류 공급 라인과의 연결을 위해 상기 제1 전류 공급 라인의 일부를 노출시키는 제7 콘택홀을 형성하는 단계를 더 포함하는 표시패널의 제조 방법.

【청구항 25】

제17항에 있어서,

(d) 발광 영역을 정의하는 격벽을 형성하는 단계;

(e) 상기 격벽이 미형성된 영역에 EL층을 형성하는 단계; 및

(f) 상기 EL층 및 격벽 위에는 대향 전극층을 형성하는 단계를 더 포함하는 표시패널의 제조 방법.

【청구항 26】

- (a) 주사 라인과, 상기 주사 라인으로부터 연장된 제어 전극과, 상기 주사 라인과 평행한 제1 전류 공급 라인과, 수직 방향의 스토리지 캐패시터용 라인을 형성하는 단계;
- (b) 데이터 라인과, 제2 전류 공급 라인과, 구동 트랜지스터의 제1 전류 전극을 정의하는 제1 패턴과, 스위칭 트랜지스터의 제1 전극을 정의하는 제2 패턴을 형성하는 단계; 및
- (c) 상기 주사 라인과 데이터 라인에 의해 정의되는 일정 영역에 픽셀 전극을 형성하고, 상기 픽셀 전극으로부터 이격된 제3 전류 공급 라인을 형성하는 단계를 포함하는 표시패널의 제조 방법.

【청구항 27】

제26항에 있어서, 상기 제1 전류 공급 라인은 상기 주사 라인의 형성시 형성되는 것을 특징으로 하는 표시 패널의 제조 방법.

【청구항 28】

제26항에 있어서, 상기 제2 전류 공급 라인은 상기 데이터 라인의 형성시 형성되는 것을 특징으로 하는 표시패널의 제조 방법.

【청구항 29】

제26항에 있어서, 상기 제3 전류 공급 라인은 상기 픽셀 전극의 형성시 형성되는 것을 특징으로 하는 표시패널의 제조 방법.

【청구항 30】

제26항에 있어서, 상기 제3 전류 공급 라인은 평면상에서 관찰할 때 상기 데이터 라인에 오버랩되어 형성되는 것을 특징으로 하는 표시패널의 제조 방법.

【청구항 31】

제30항에 있어서, 상기 제3 전류 공급 라인은 상기 제1 전류 공급 라인과의 연결을 위해 평면상에서 관찰할 때 상기 데이터 라인으로부터 일정 부분 연장되어 형성되는 것을 특징으로 하는 표시패널의 제조 방법.

【청구항 32】

제26항에 있어서,

(d) 발광 영역을 정의하는 격벽을 형성하는 단계;

(e) 상기 격벽이 미형성된 영역에 유기전계 발광층을 형성하는 단계; 및

(f) 상기 유기전계 발광층 및 격벽 위에는 대향 전극층을 형성하는 단계를 더 포함하는 표시패널의 제조 방법.

【청구항 33】

화상 신호와 제1 타이밍 신호를 제공받아 데이터 신호를 출력하는 컬럼 구동부;

제 2 타이밍 신호를 제공받아 주사 신호를 출력하는 로우 구동부;

전원전압 제어 신호를 제공받아 제1 및 제2 전원전압을 출력하는 전원전압 공급부; 및

일측으로부터 상기 제1 전원전압을, 타측으로부터 제2 전원전압을 제공받고, 상기 주사 신호가 제공됨에 따라 상기 데이터 신호에 대응하여 상기 제1 전원전압 및 제2 전원전압에 따른 전류의 양을 조절하여 광을 발광하는 표시패널을 포함하는 표시장치.

【청구항 34】

제33항에 있어서, 외부로부터 원시 화상 신호와 이의 제어 신호를 제공받고, 이를 근거로 생성한 상기 화상 신호와 제1 타이밍 신호를 상기 컬럼구동부에 제공하고, 상기 제2 타이밍

신호를 상기 로우 구동부에 제공하며, 상기 전원전압 제어 신호를 상기 전원전압 공급부에 제공하는 타이밍 제어부를 더 포함하는 표시장치.

【청구항 35】

제33항에 있어서, 상기 표시패널은,

상기 데이터 신호를 전달하는 데이터 라인;

상기 주사 신호를 전달하는 주사 라인;

상기 데이터 라인 및 주사 라인에 의해 정의되는 단위 화소 영역에 형성되고, 상기 주사 신호에 따라 상기 데이터 신호의 출력을 온/오프 제어하는 스위칭부;

상기 단위 화소의 적어도 2면에 대응하여 네트 형상을 정의하고, 전류를 공급하는 전류 공급 라인;

일단이 극성단에 연결되며, 상기 전류에 대응하는 광을 발광하는 유기전계발광부; 및

제1단이 상기 유기전계발광부의 타단에 연결되고, 제2단이 상기 전류 공급 라인에 연결되며, 상기 스위칭부를 통한 데이터 신호에 응답하여 상기 제1단에서 제2단으로 또는 상기 제2단에서 제1단으로 전류 흐름을 제어하여 상기 유기전계발광부의 발광을 제어하는 구동부를 포함하는 표시 장치.

【청구항 36】

제35항에 있어서, 상기 전류 공급 라인은,

제 1 방향으로 신장되어, 일단을 통해 인가되는 제1 전원전압을 전달하는 제1 전류 공급 라인; 및

제2 방향으로 신장되고, 상기 제1 전류 공급 라인과 연결되며, 일단을 통해 인가되는 제 2 전원전압을 전달하는 제2 전류 공급 라인을 포함하는 표시패널.

【청구항 37】

제36항에 있어서, 상기 제2 전류 공급 라인은 픽셀마다 구비되는 것을 특징으로 하는 표시장치.

【청구항 38】

제36항에 있어서, 상기 제1 전류 공급 라인의 일단을 통해 제1 전원전압이 인가될 때, 상기 제2 전류 공급 라인은 상기 제1 전류 공급 라인의 일단에 근접하는 일정 수의 픽셀에 대응해서는 미형성되고, 상기 제1 전류 공급 라인의 일단으로부터 멀어질수록 빈도수가 크도록 형성되는 것을 특징으로 하는 표시장치.

【청구항 39】

제36항에 있어서, 상기 제1 전류 공급 라인의 양단을 통해 제1 전원전압이 인가될 때, 상기 제2 전류 공급 라인은 상기 제1 전류 공급 라인의 양단에 근접하는 일정 수의 픽셀에 대응해서는 미형성되고, 상기 제1 전류 공급 라인의 중간에 근접하는 일정 수의 픽셀에 대응해서 형성되는 것을 특징으로 하는 표시장치.

【청구항 40】

제36항에 있어서, 상기 제1 전류 공급 라인의 타단에는 상기 제1 전원전압이 더 인가되는 것을 특징으로 하는 표시장치.



1020040022553

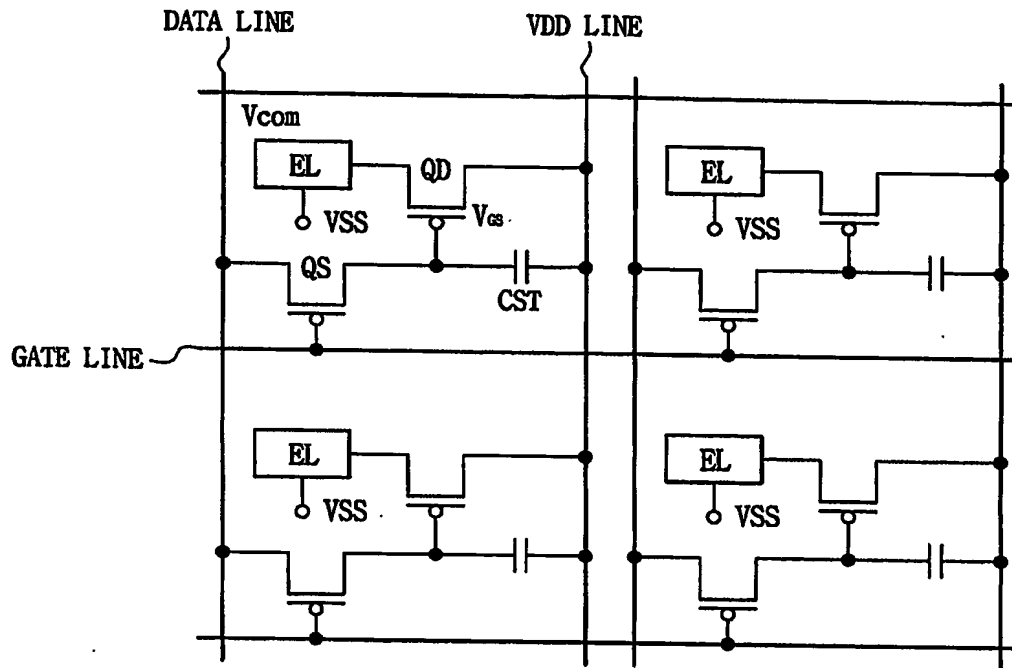
출력 일자: 2004/4/13

【청구항 41】

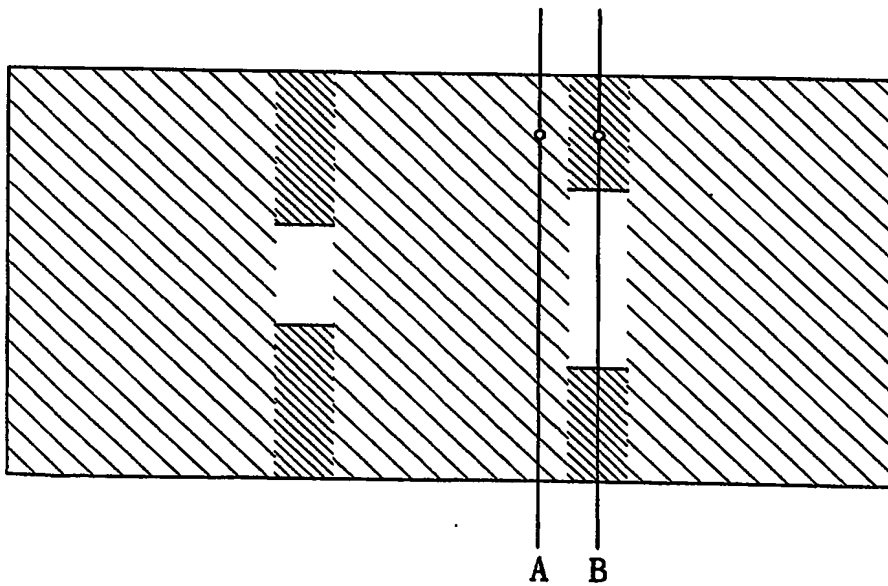
제36항에 있어서, 상기 제2 전류 공급 라인의 타단에는 상기 제2 전원전압이 더 인가되는 것을 특징으로 하는 표시장치.

【도면】

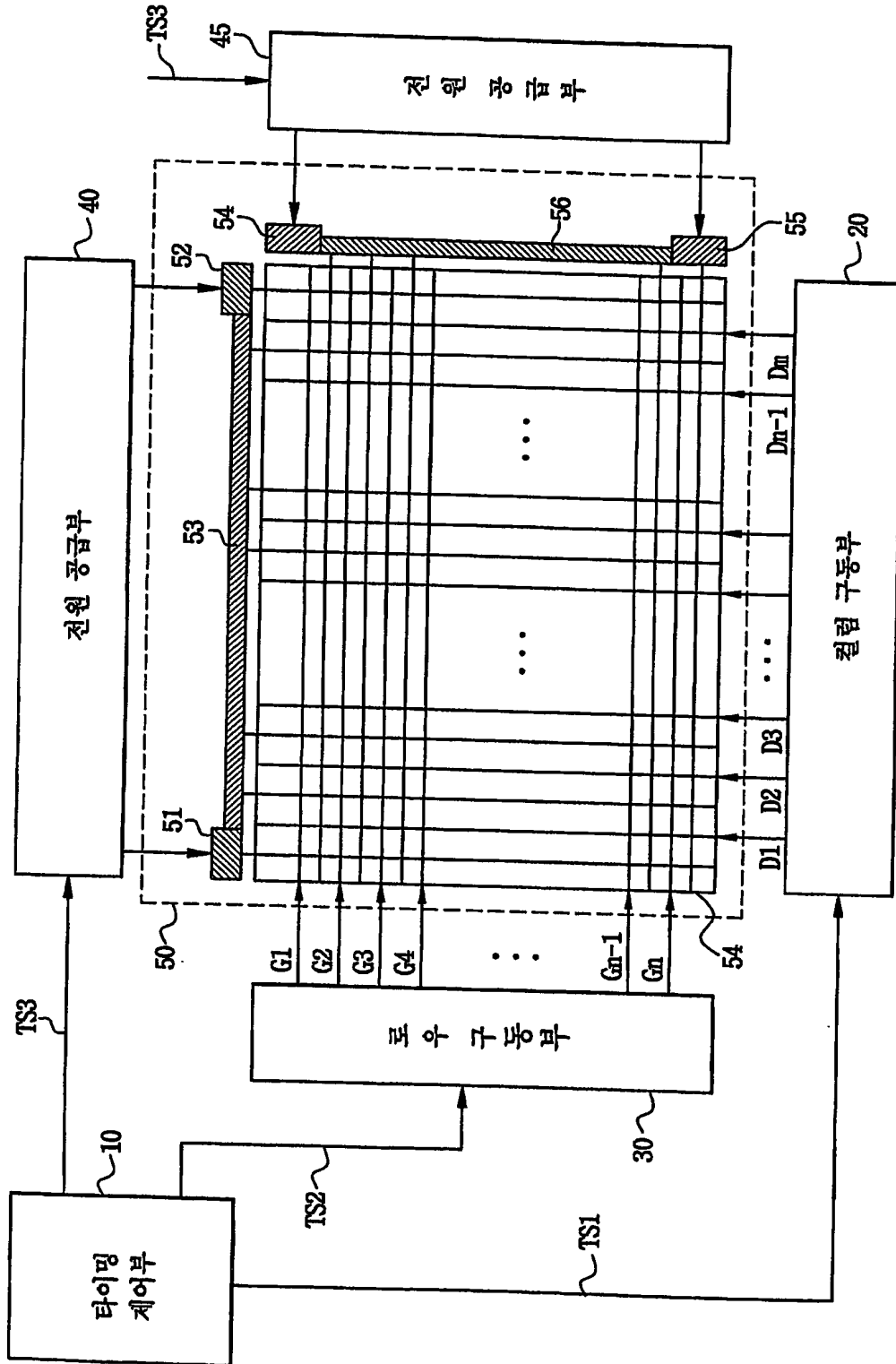
【도 1】



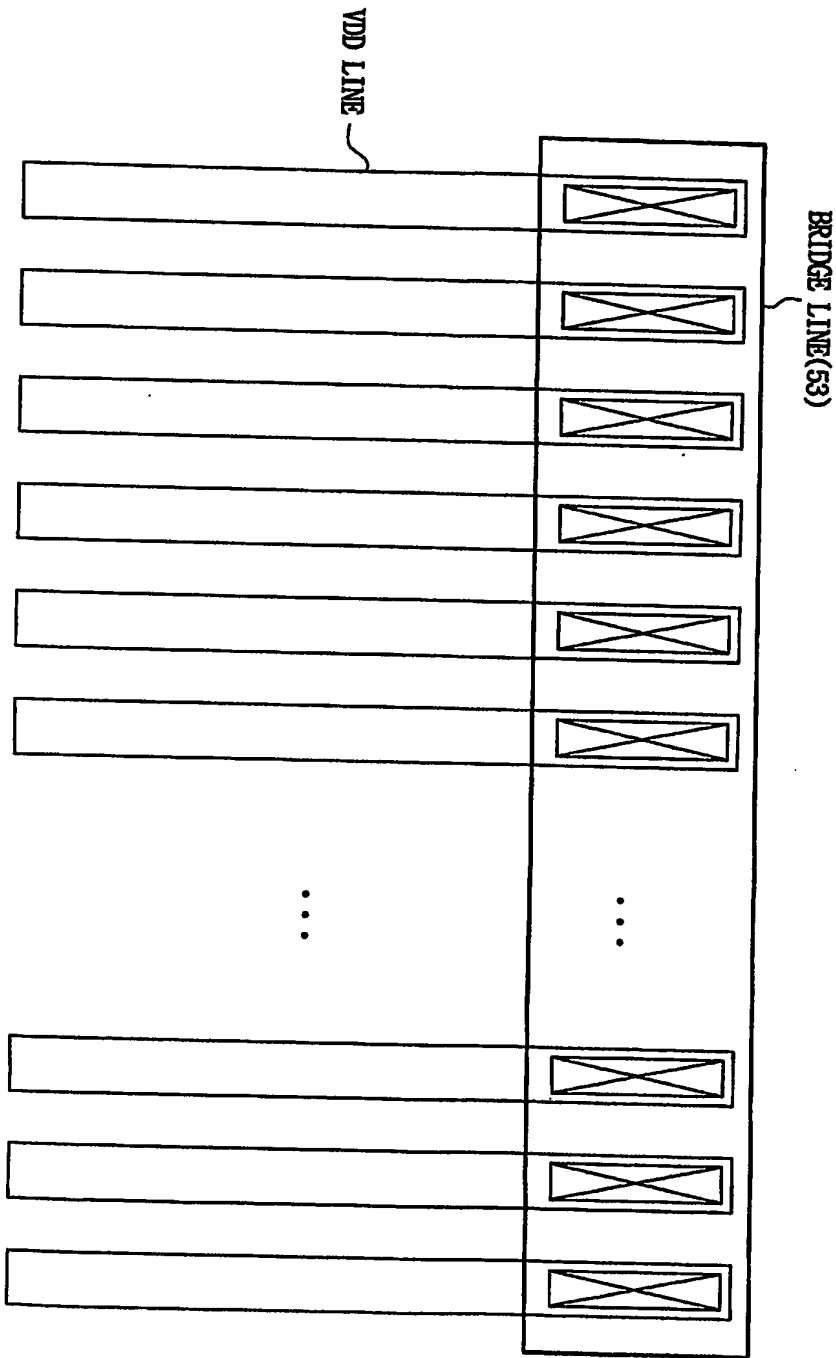
【도 2】



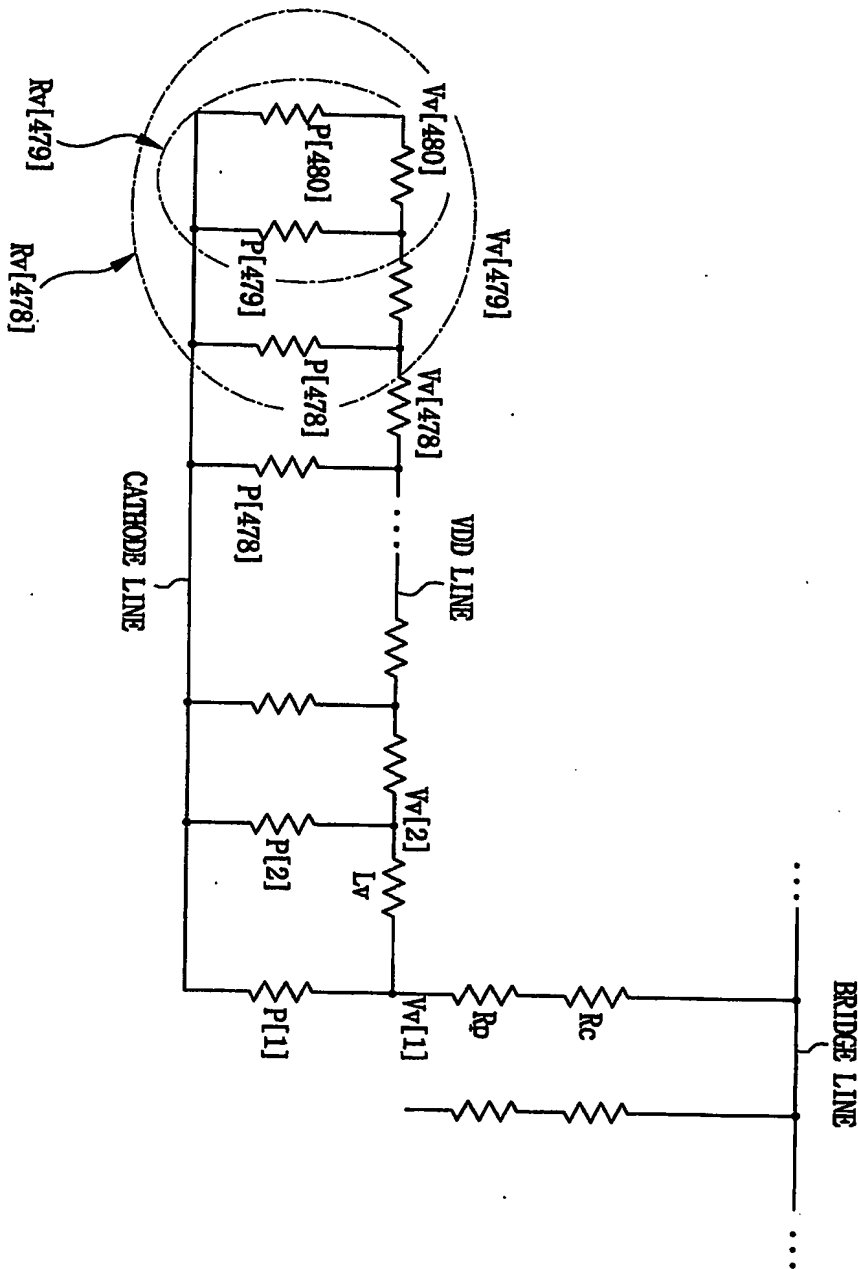
【도 3】



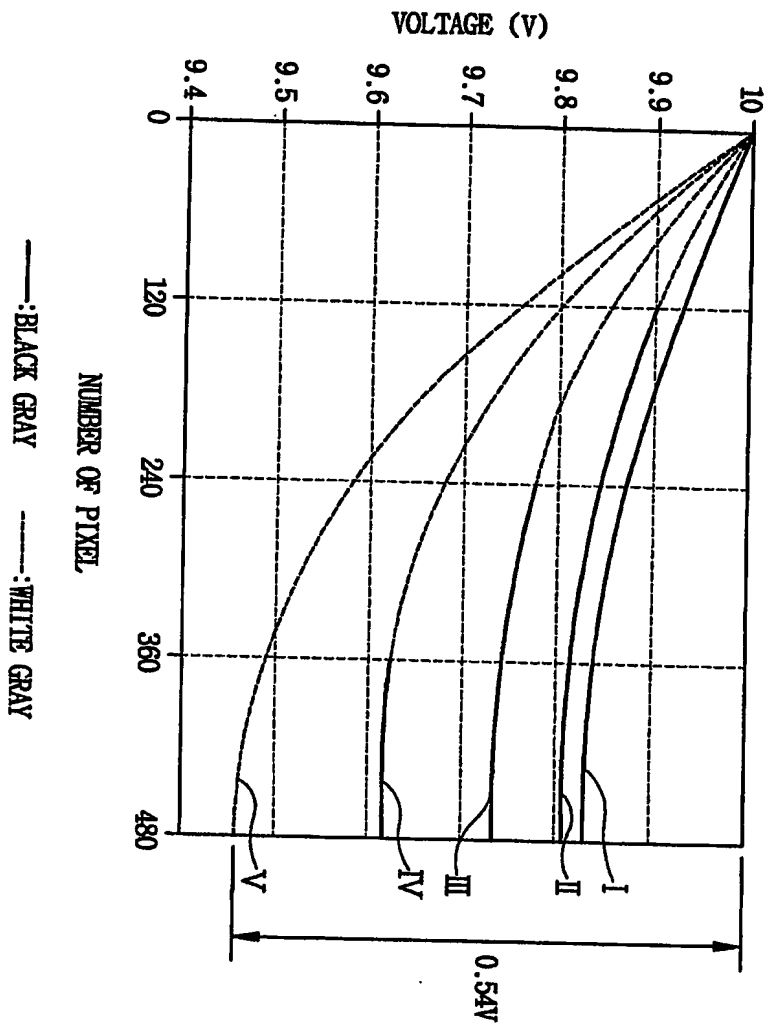
【도 4】



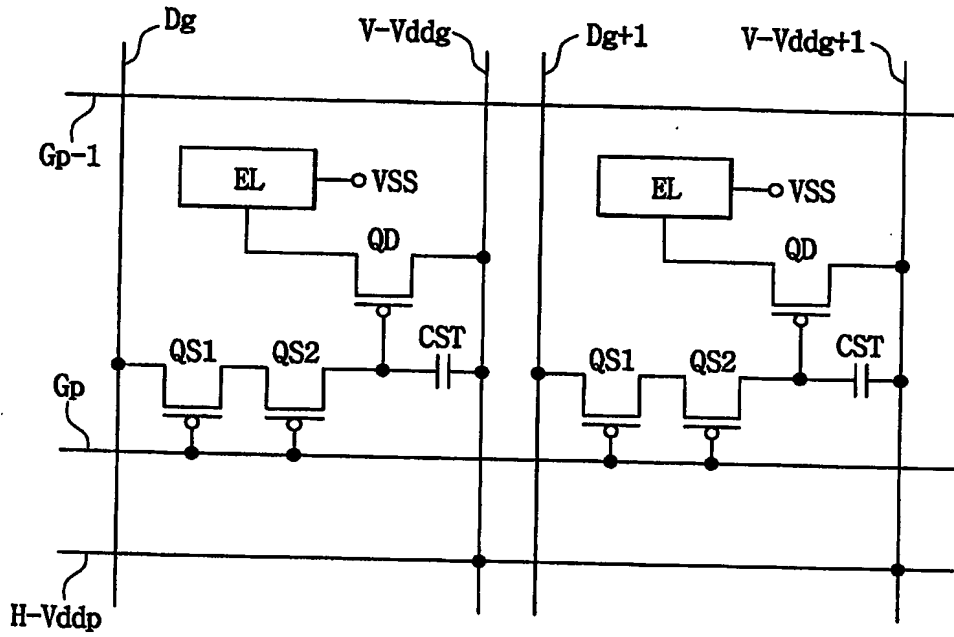
【도 5】



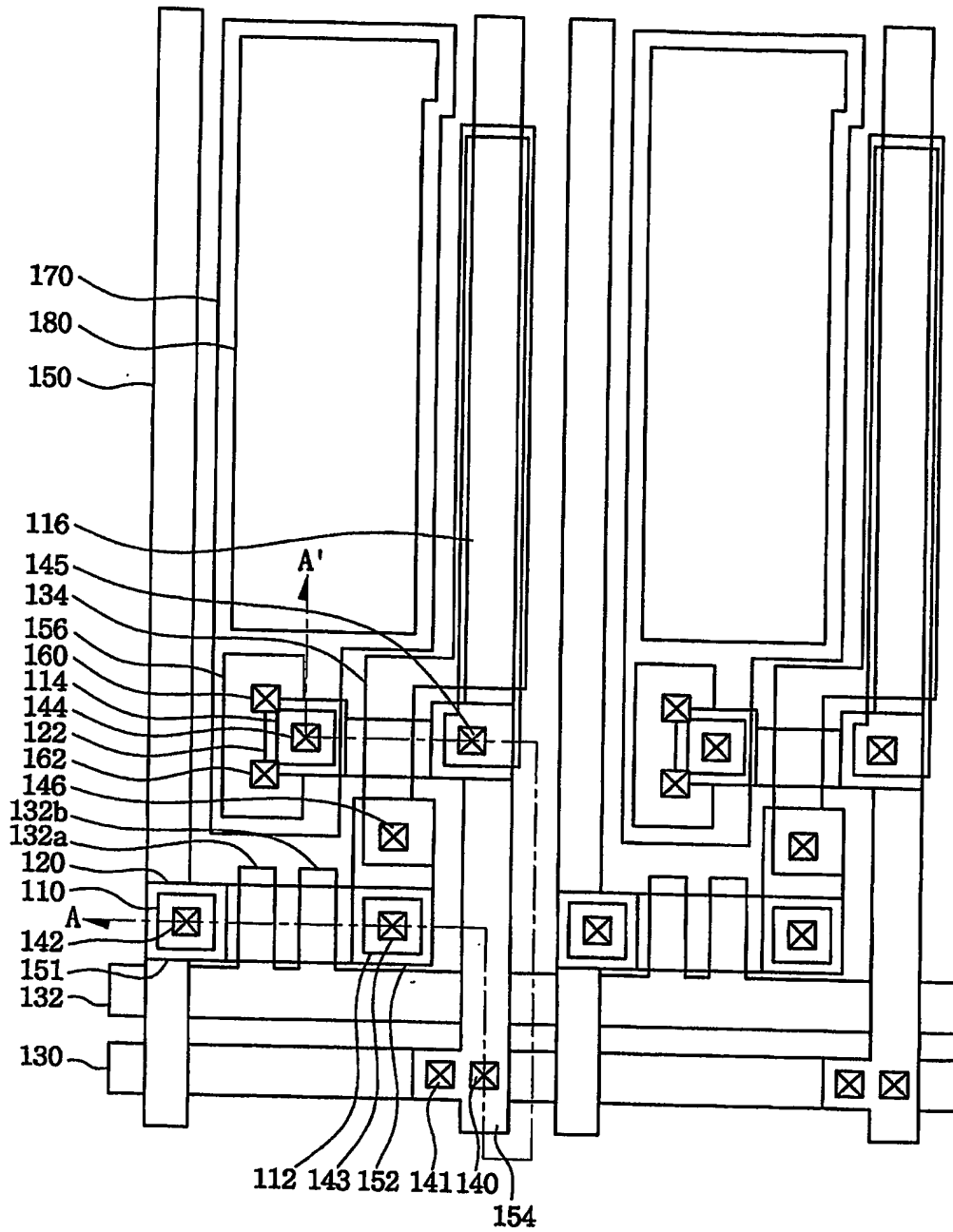
【도 6】



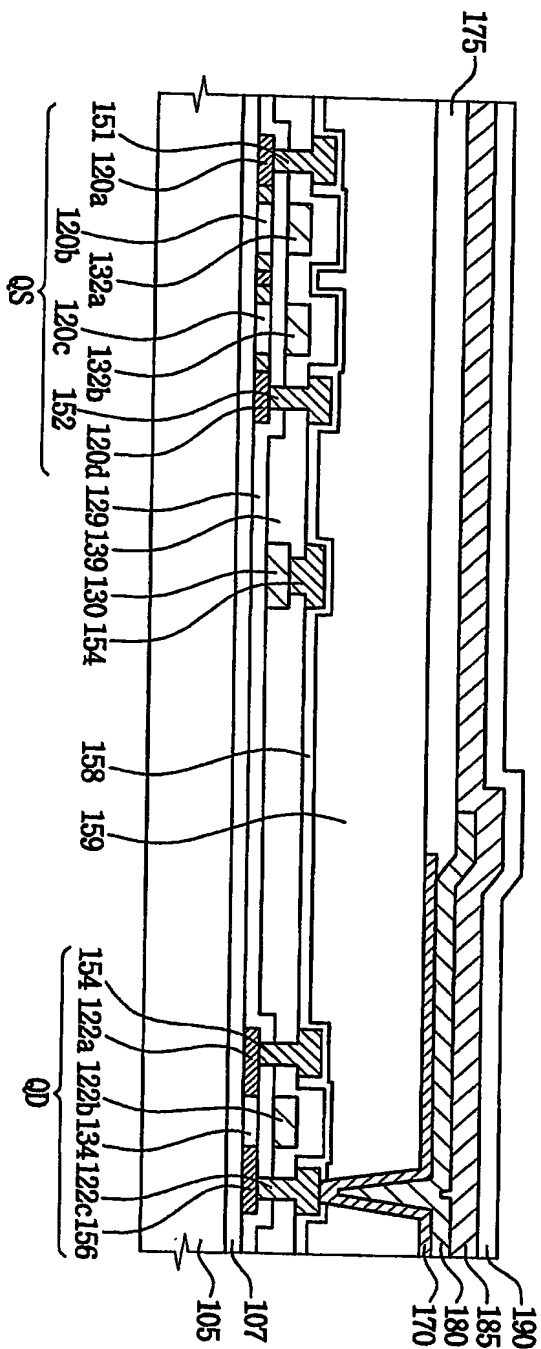
【도 7】



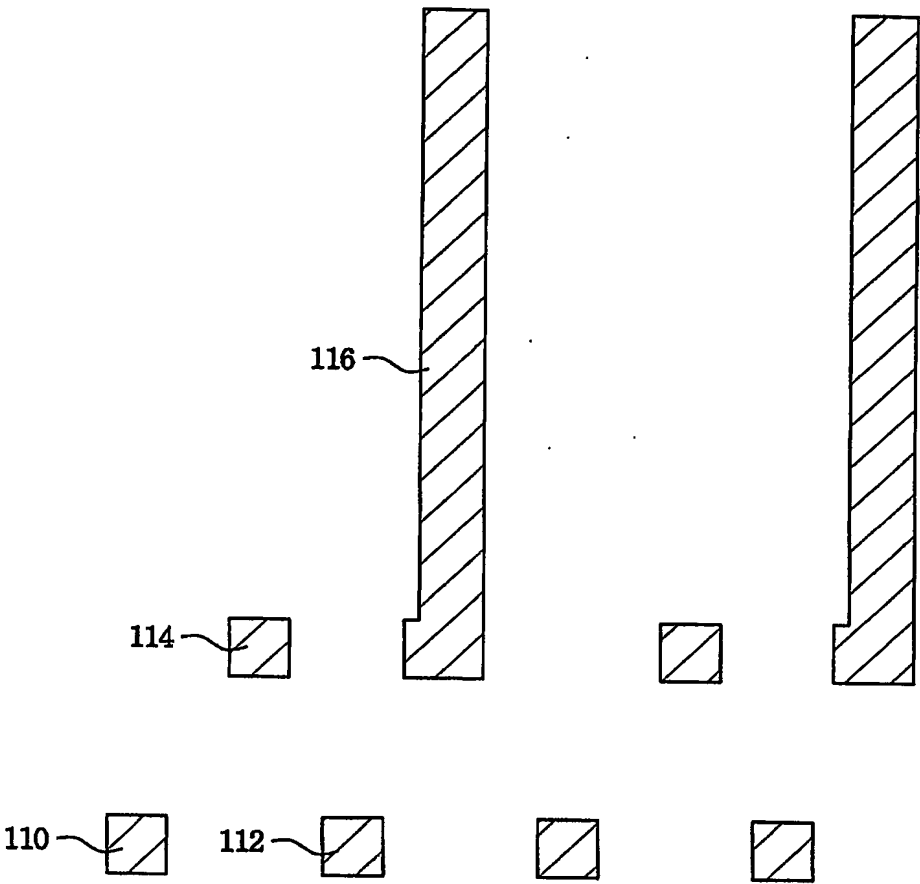
【도 8】



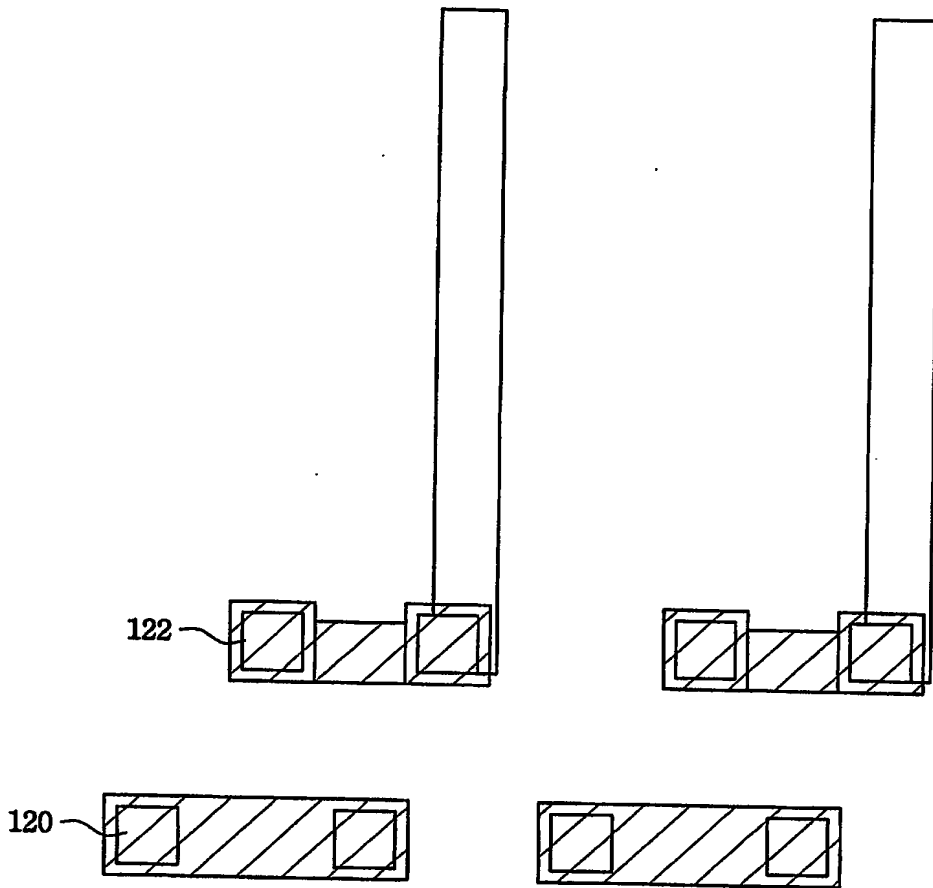
【도 9】



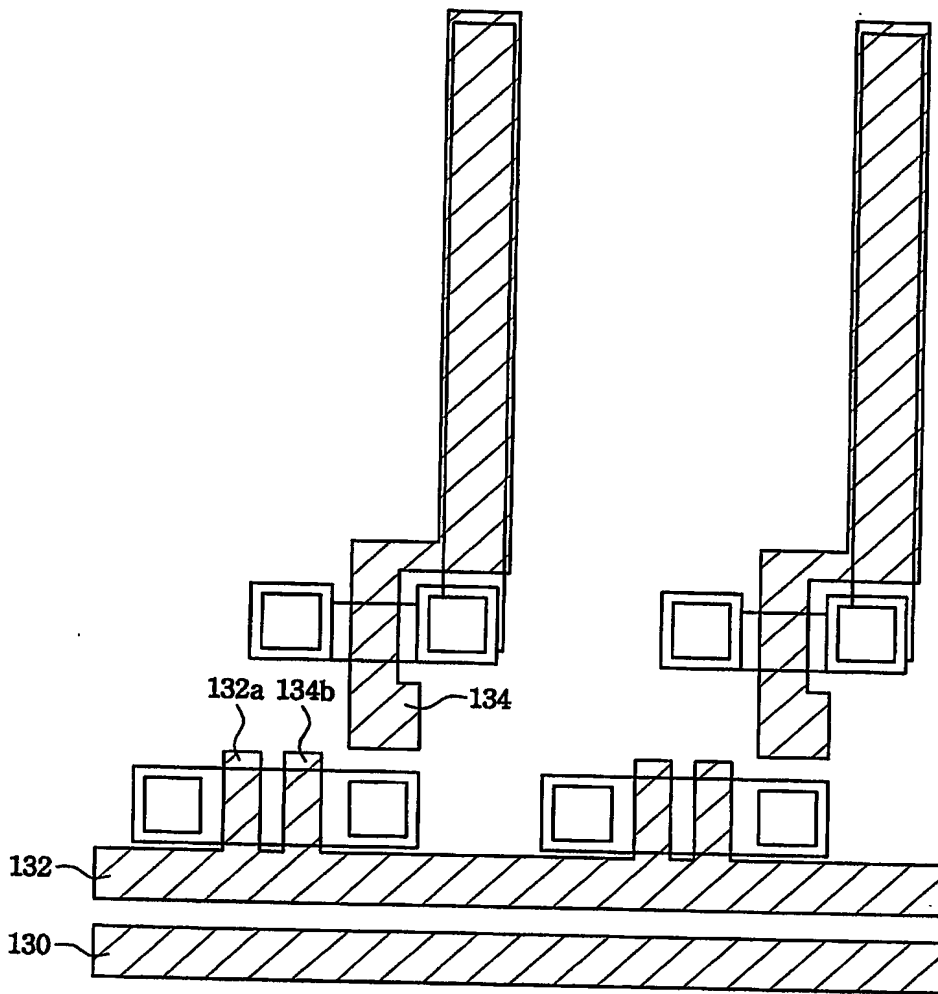
【도 10】



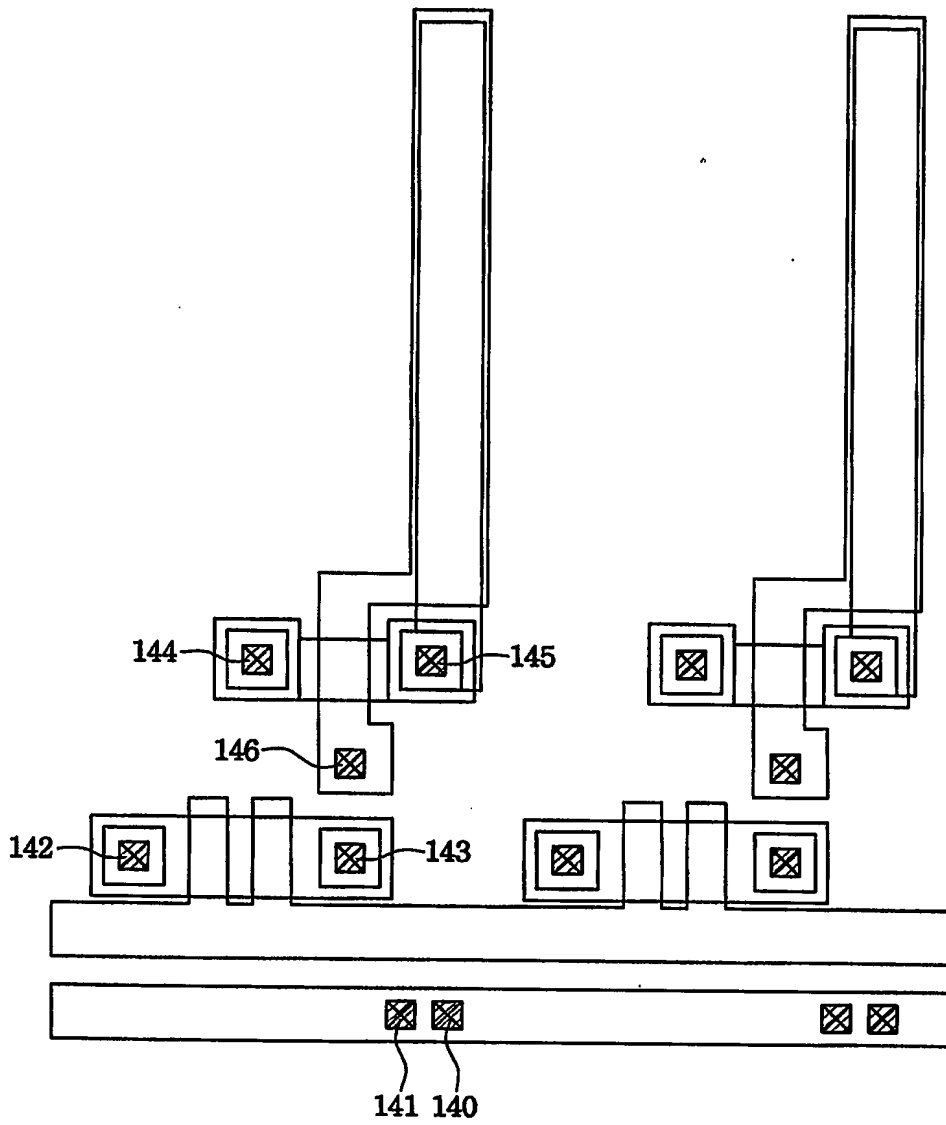
【도 11】



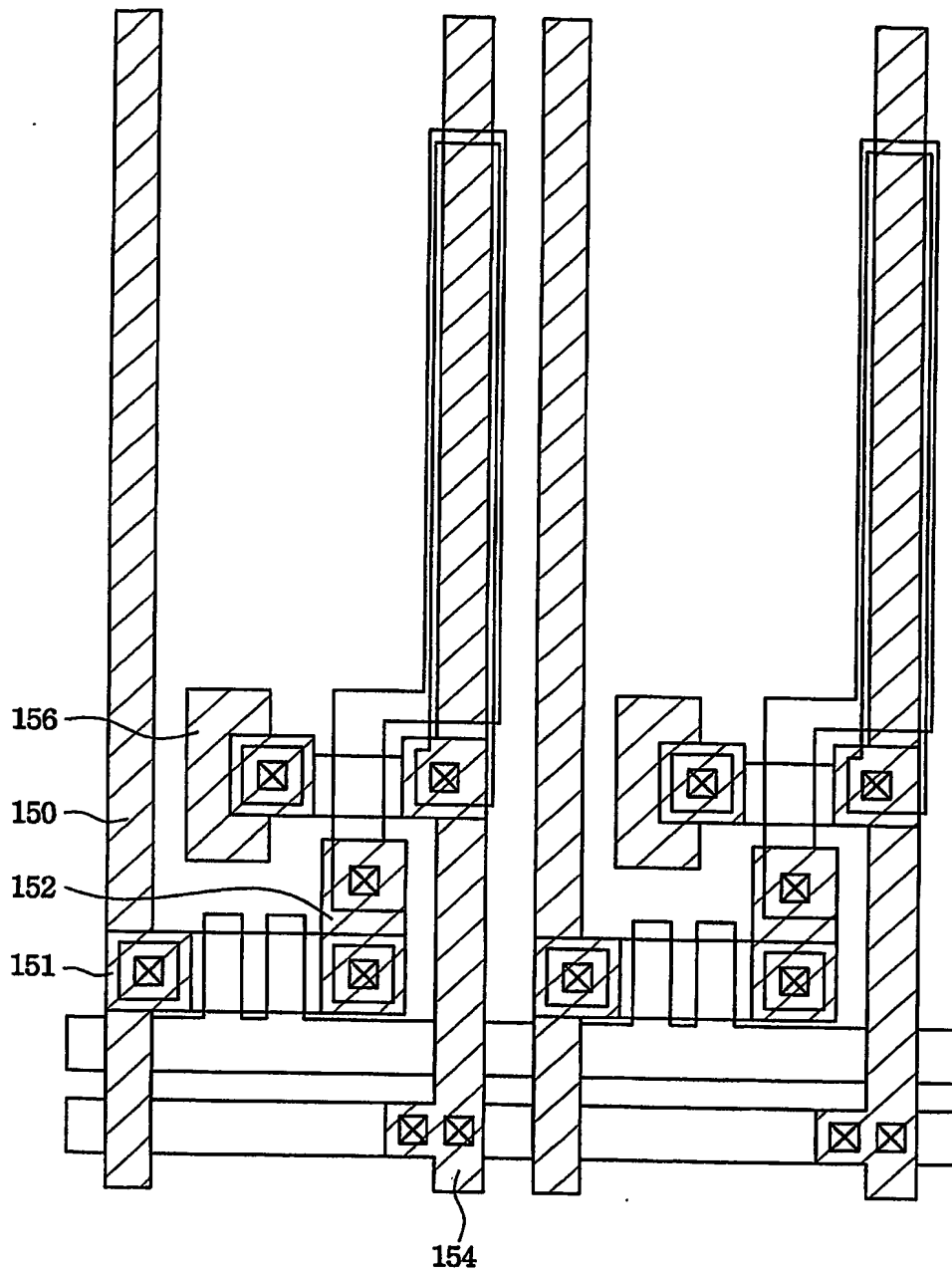
【도 12】



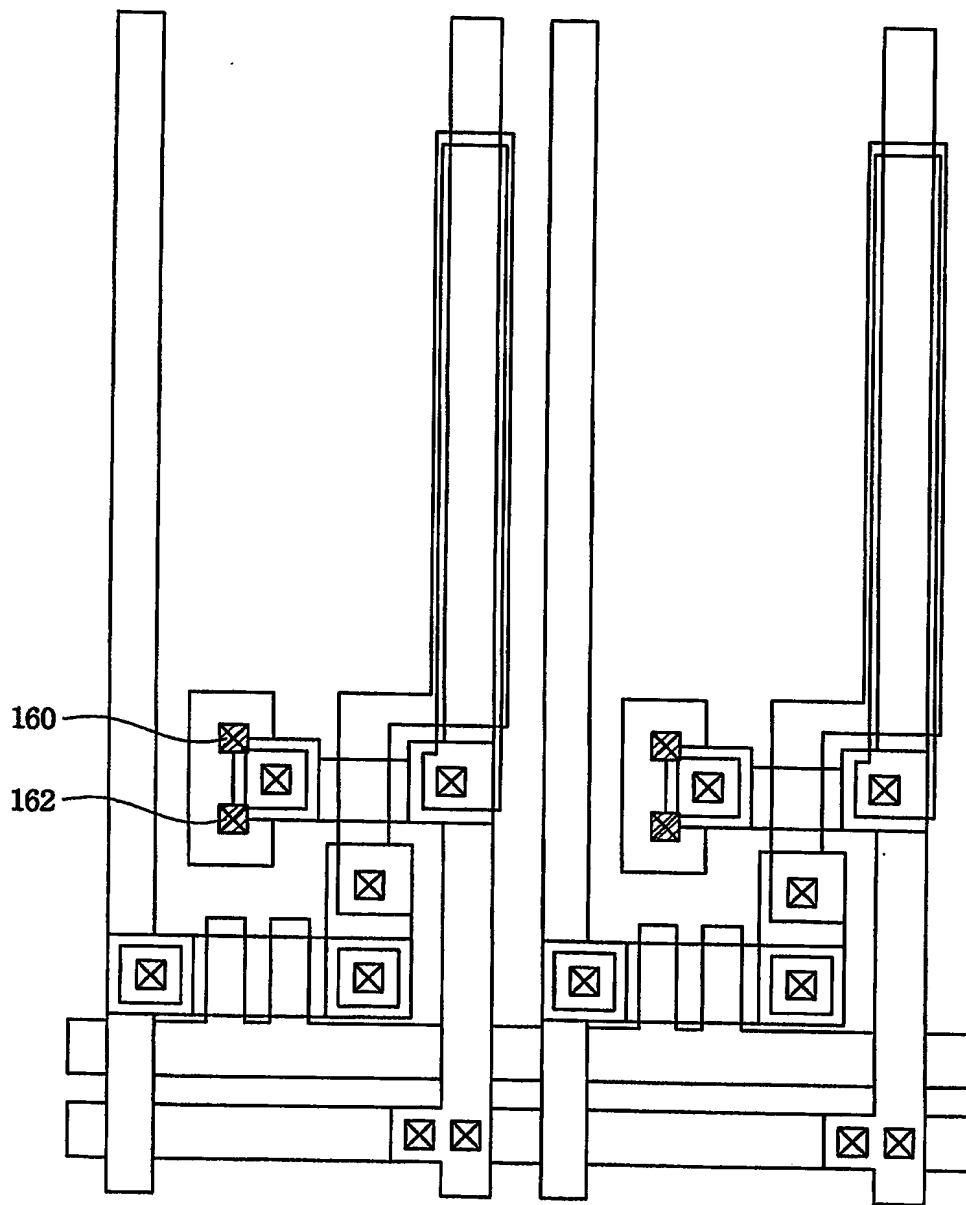
【도 13】



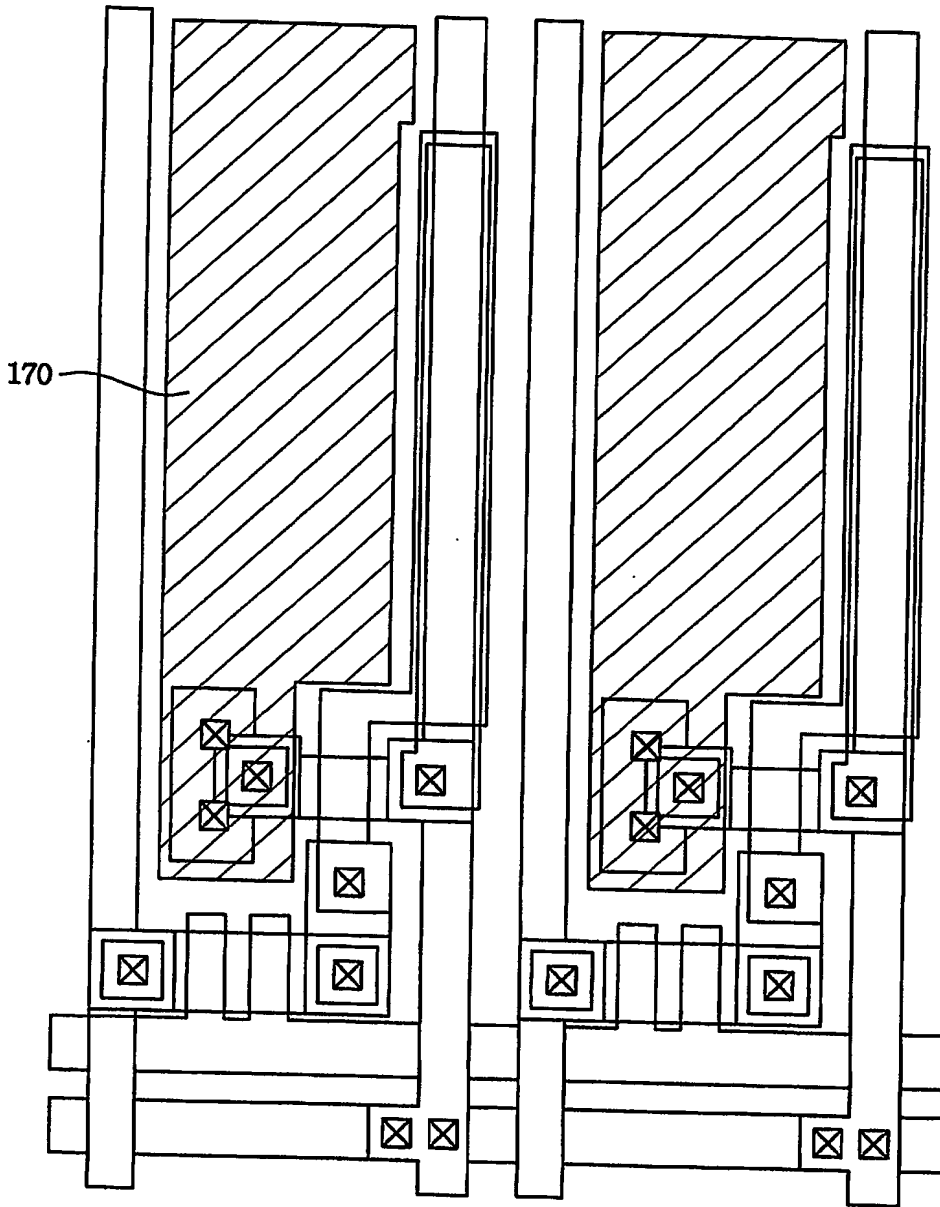
【도 14】



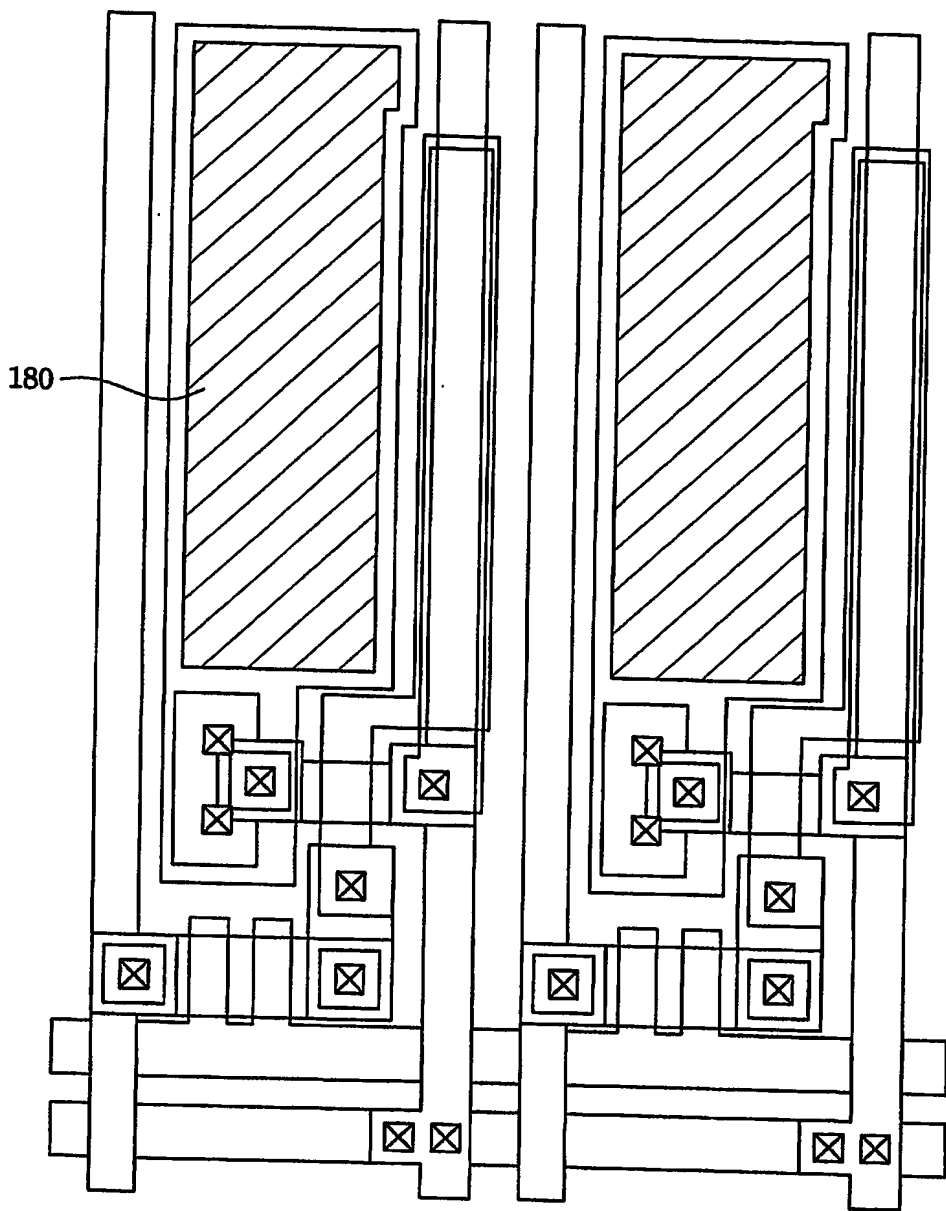
【도 15】



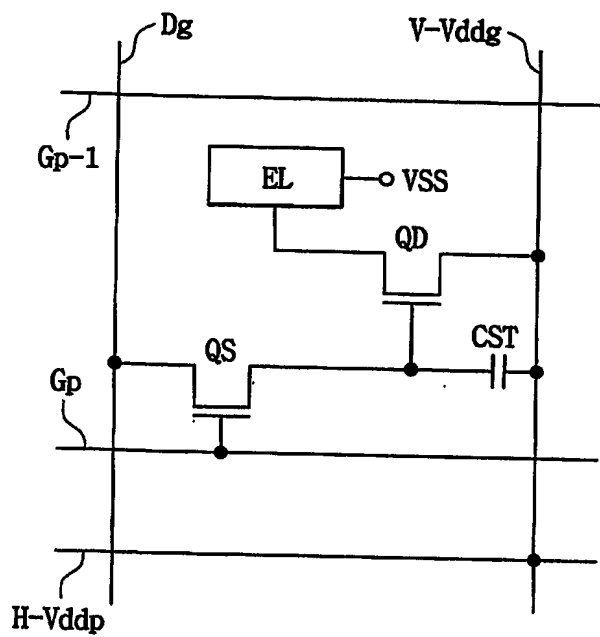
【도 16】



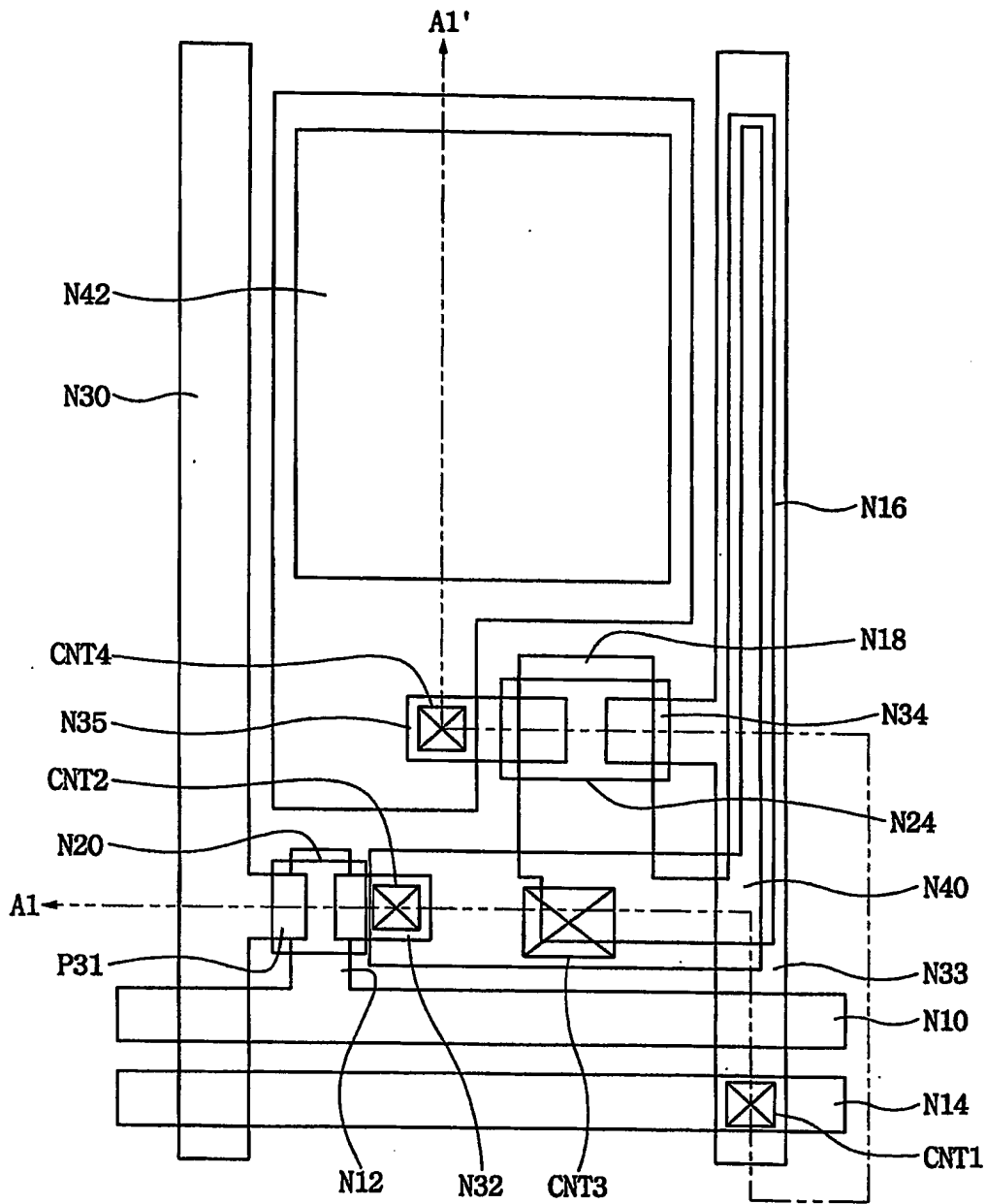
【도 17】



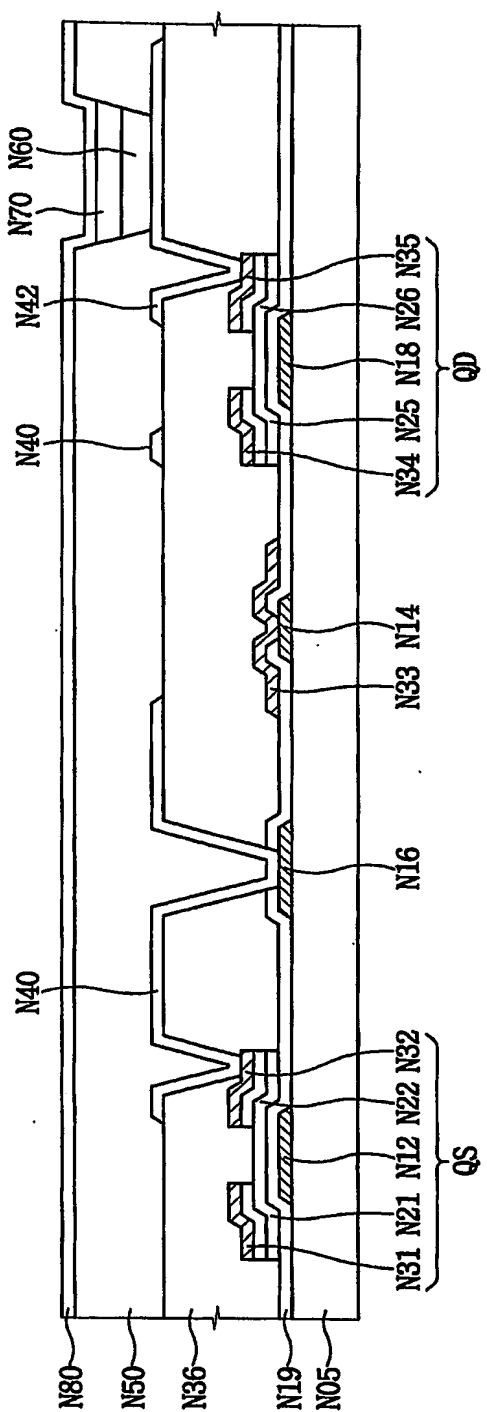
【도 18】



【도 19】



【도 20】

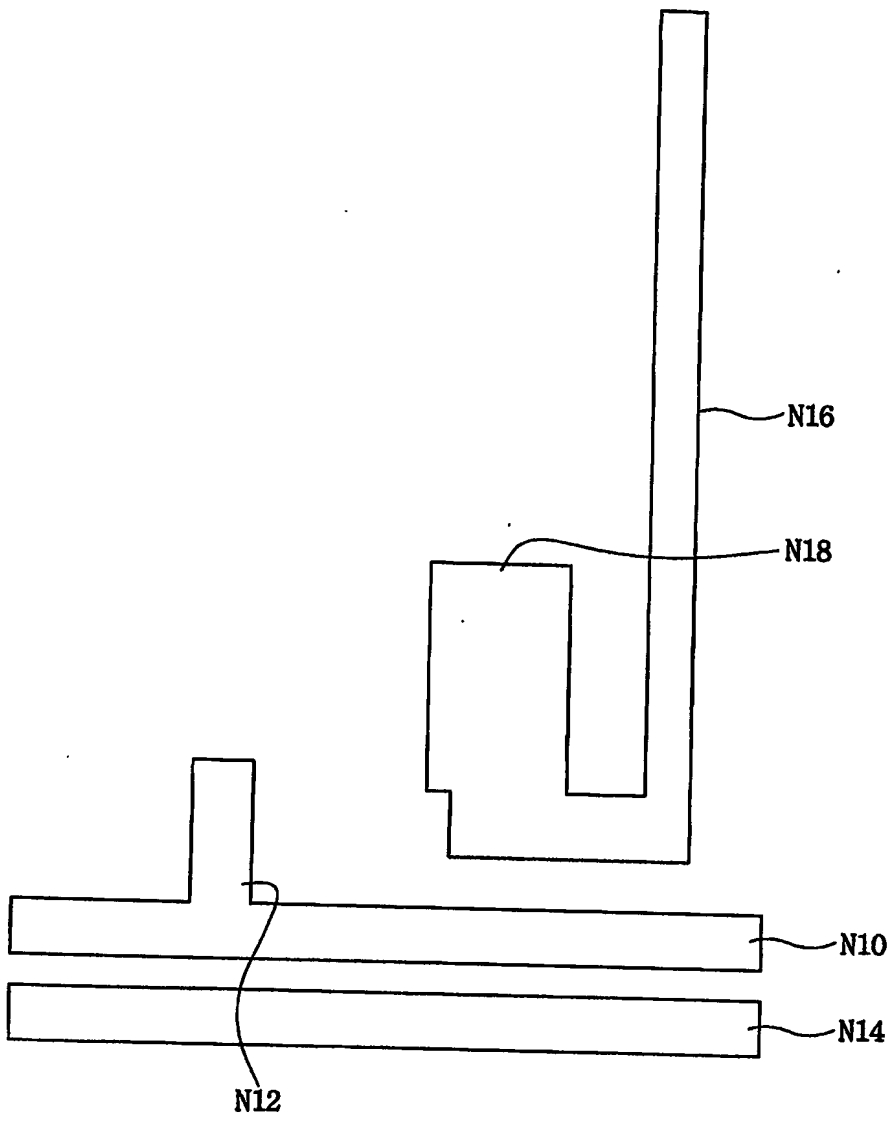




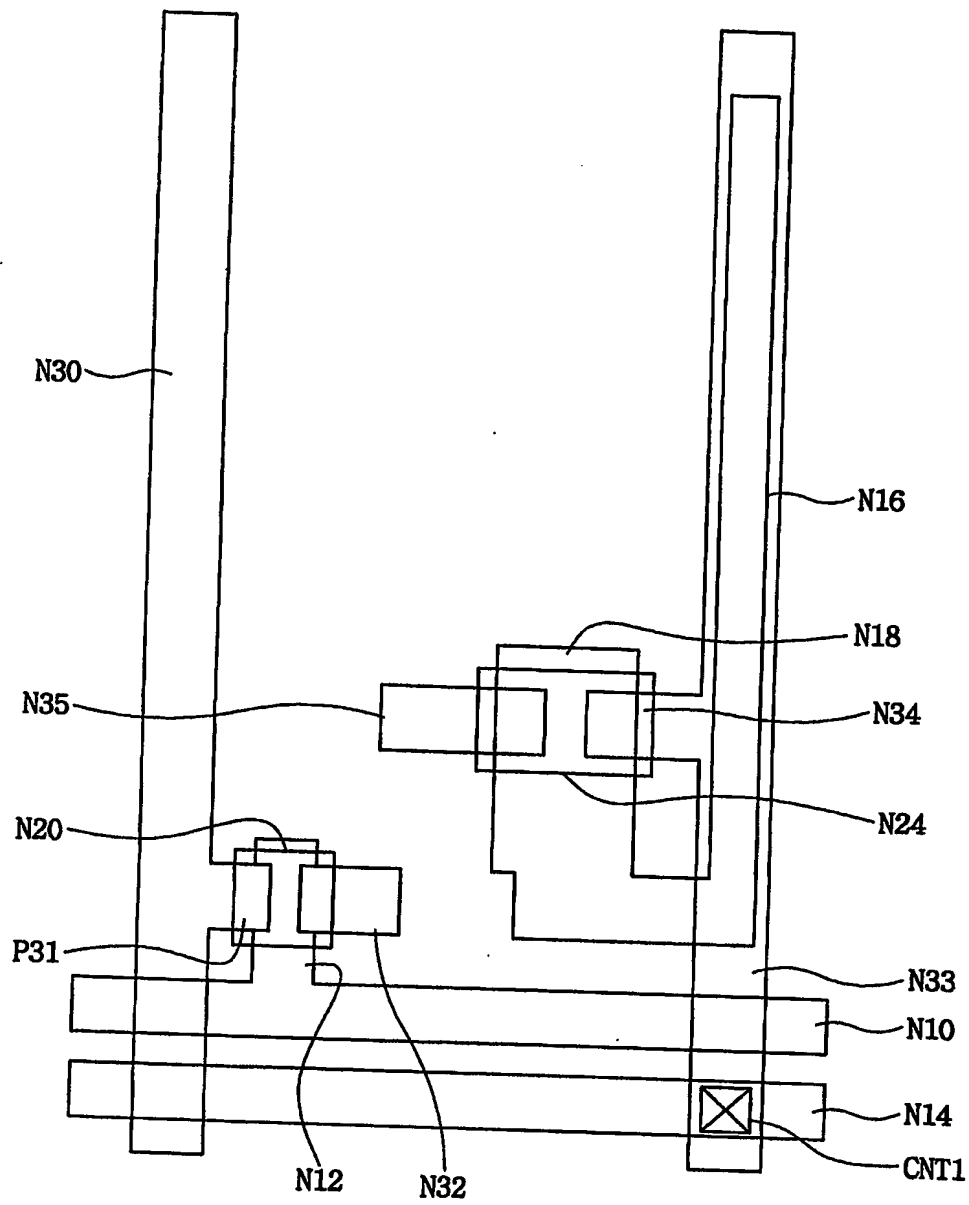
1020040022553

출력 일자: 2004/4/13

【도 21】

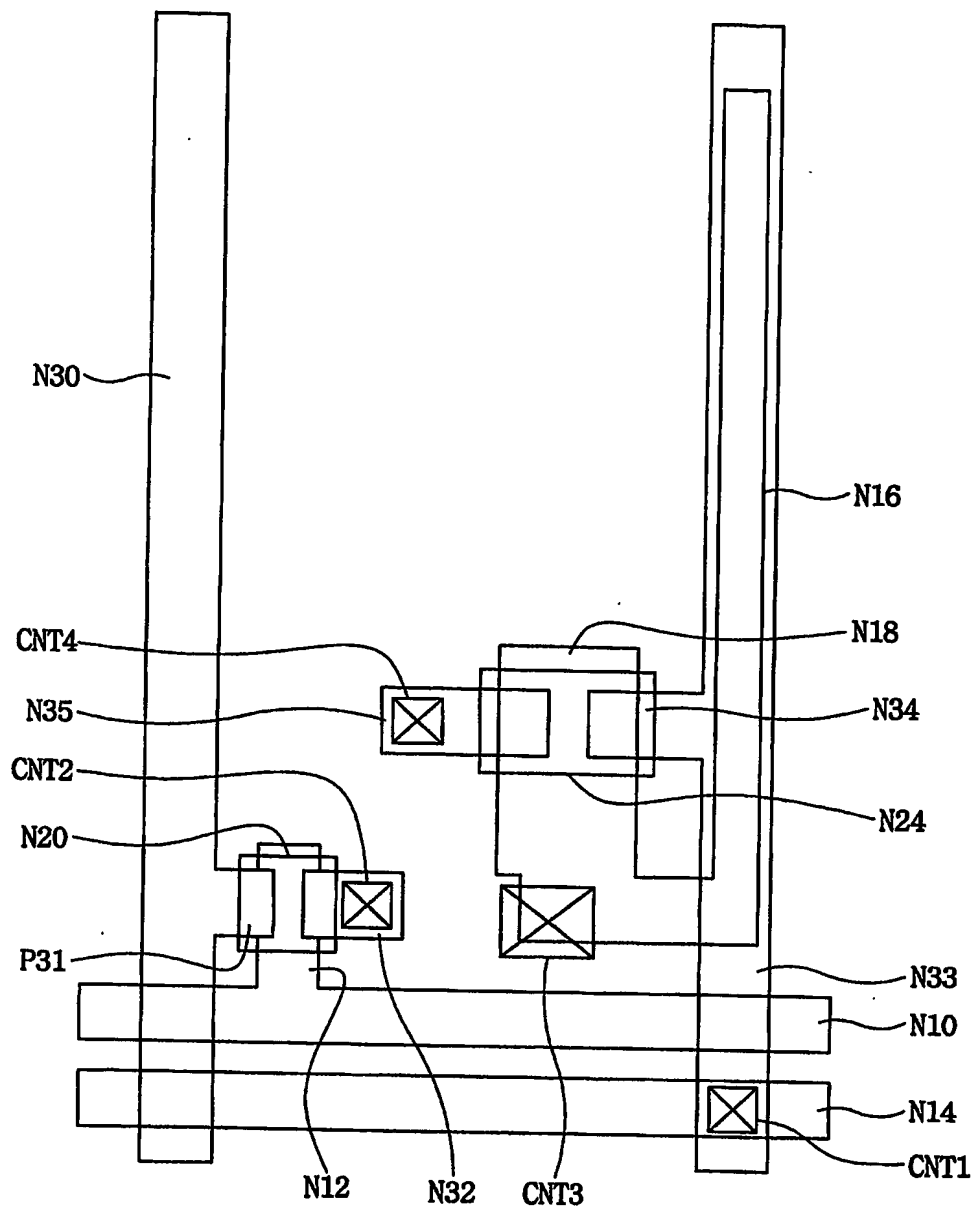


【도 22】

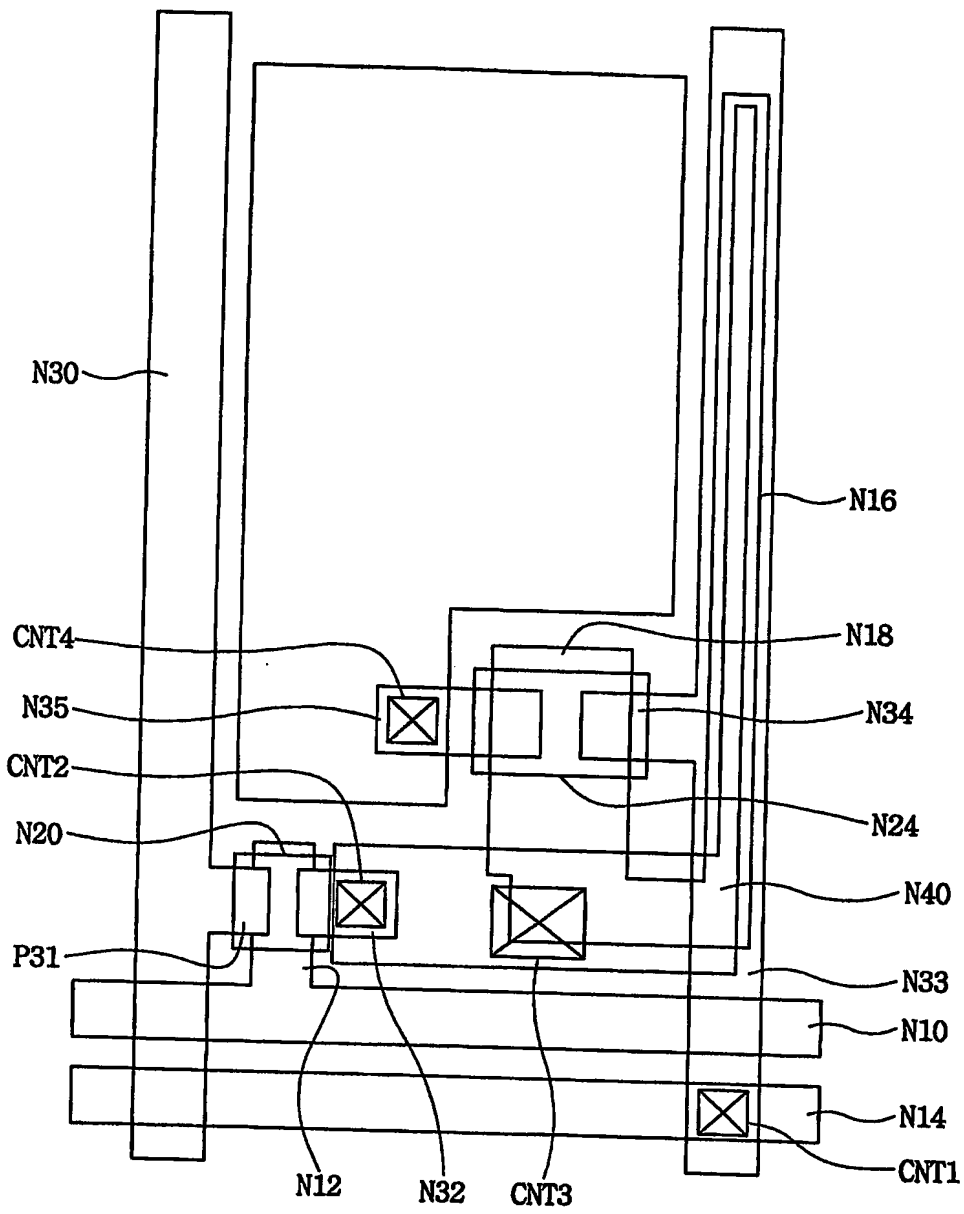




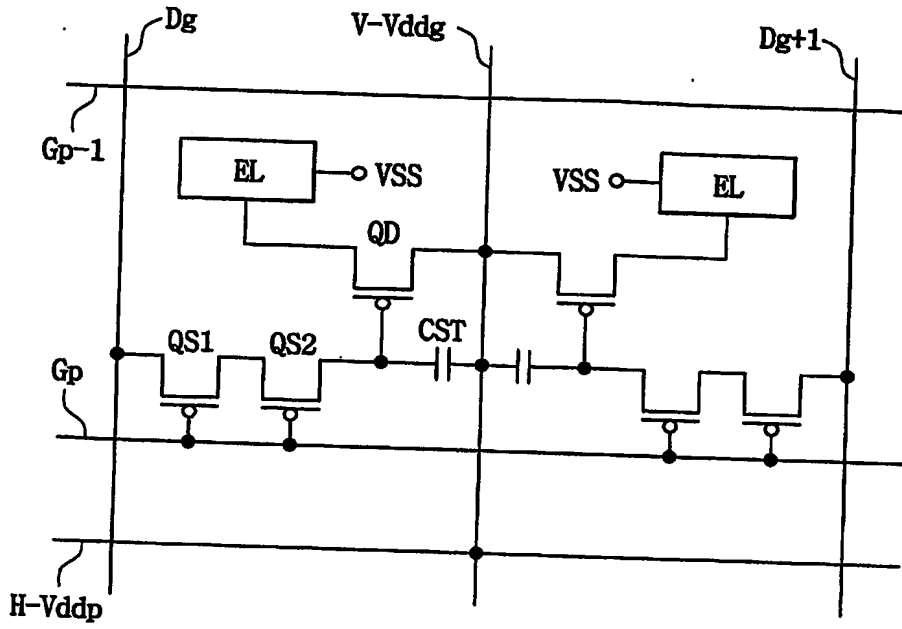
【도 23】



【도 24】



【도 25】

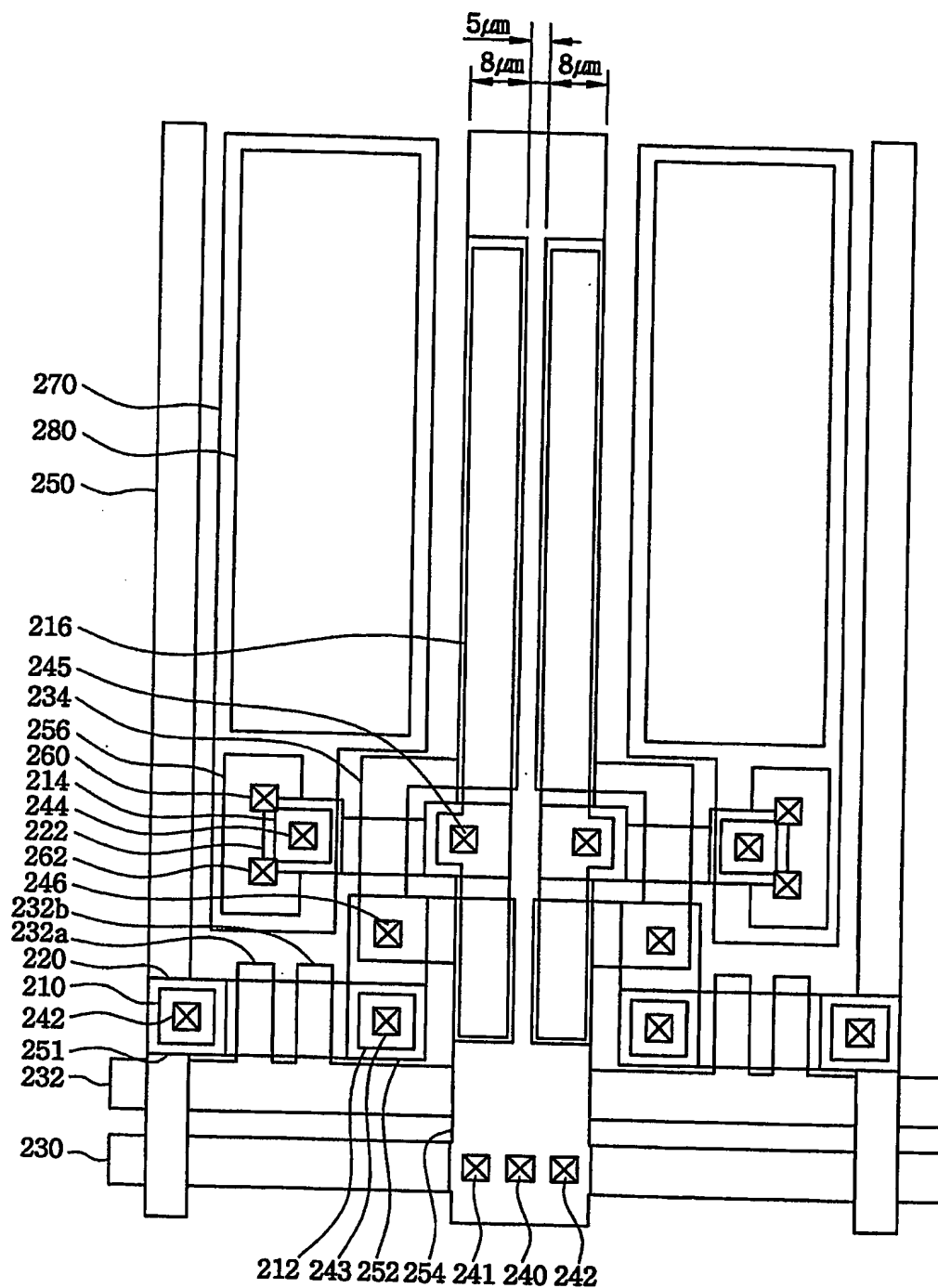




1020040022553

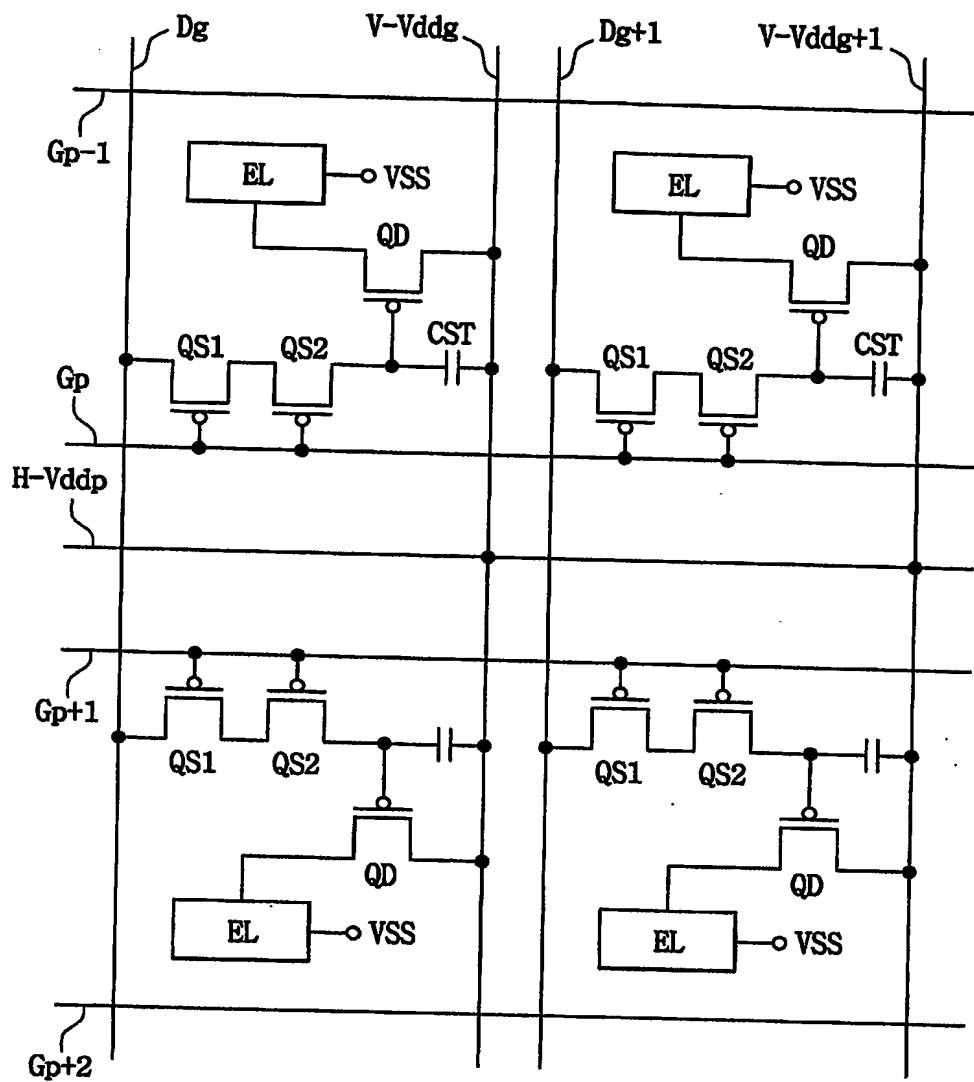
출력 일자: 2004/4/13

【도 26】

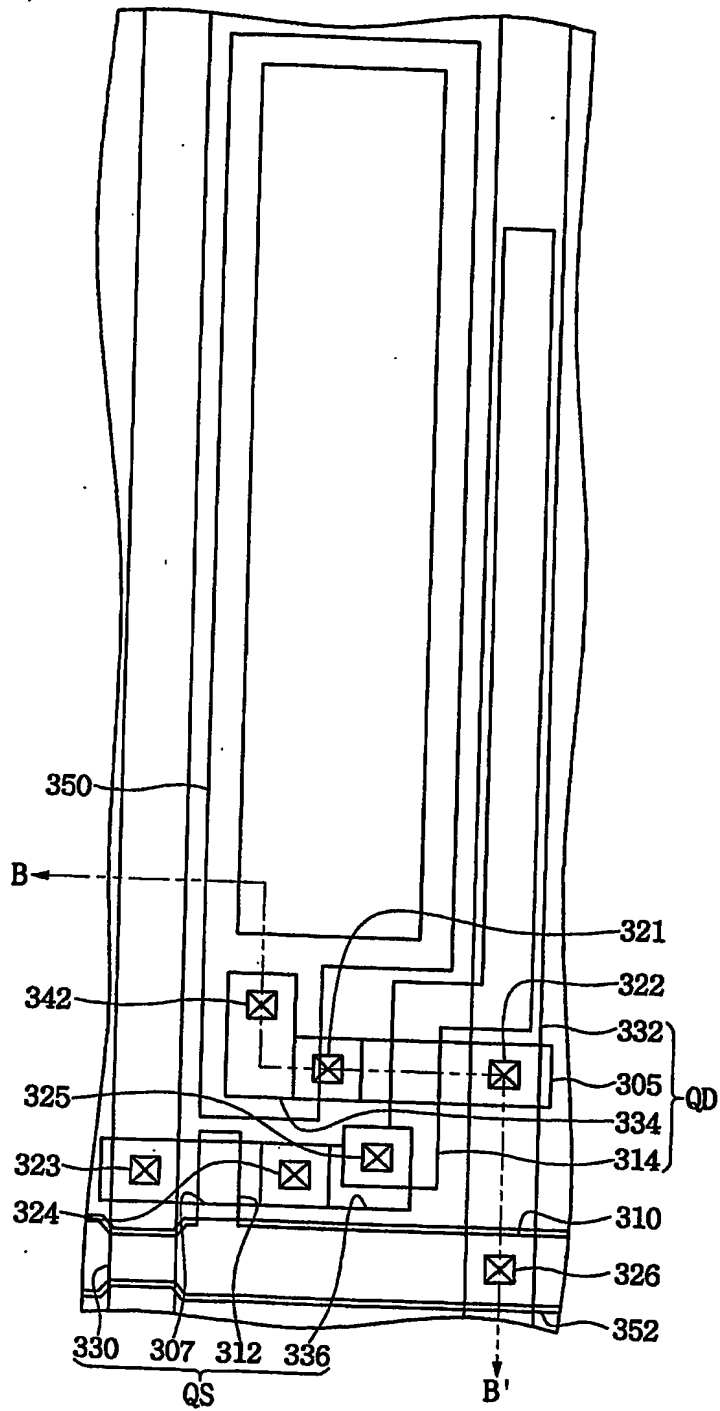




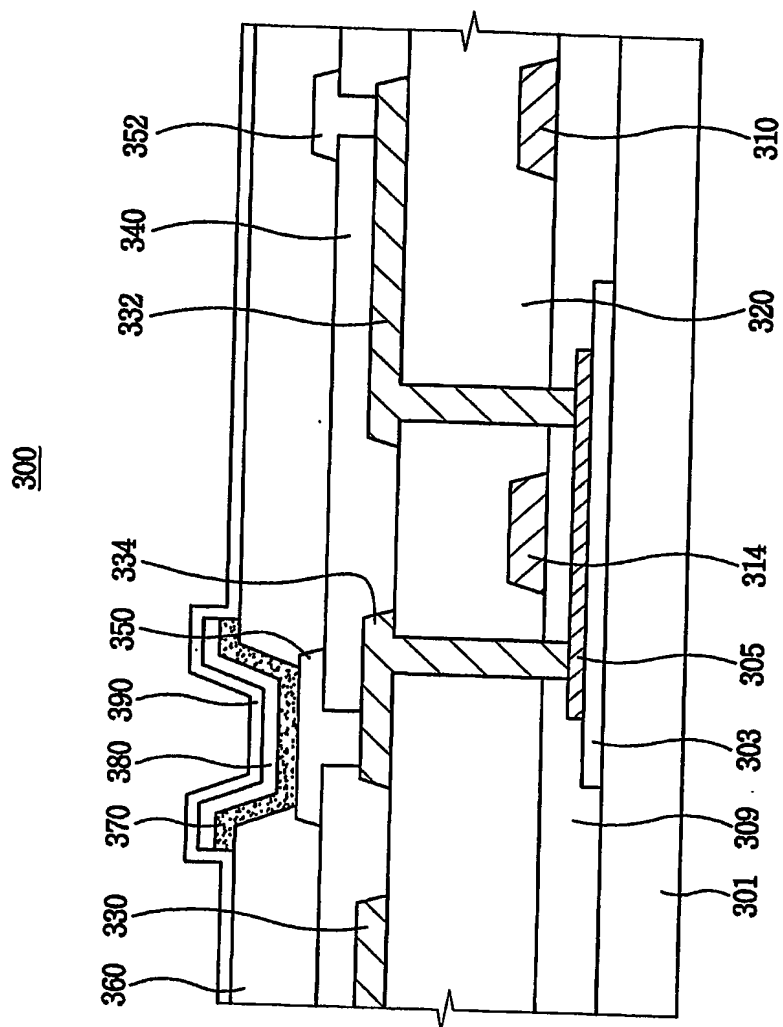
【도 27】



【도 28】



【도 29】

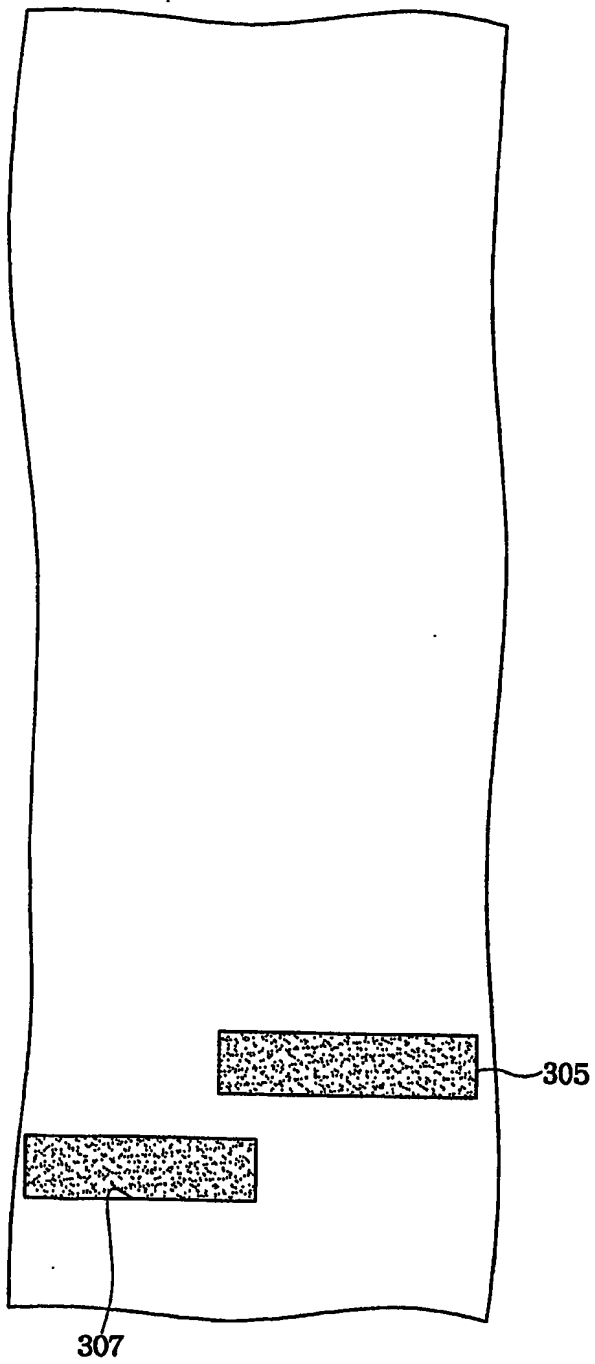




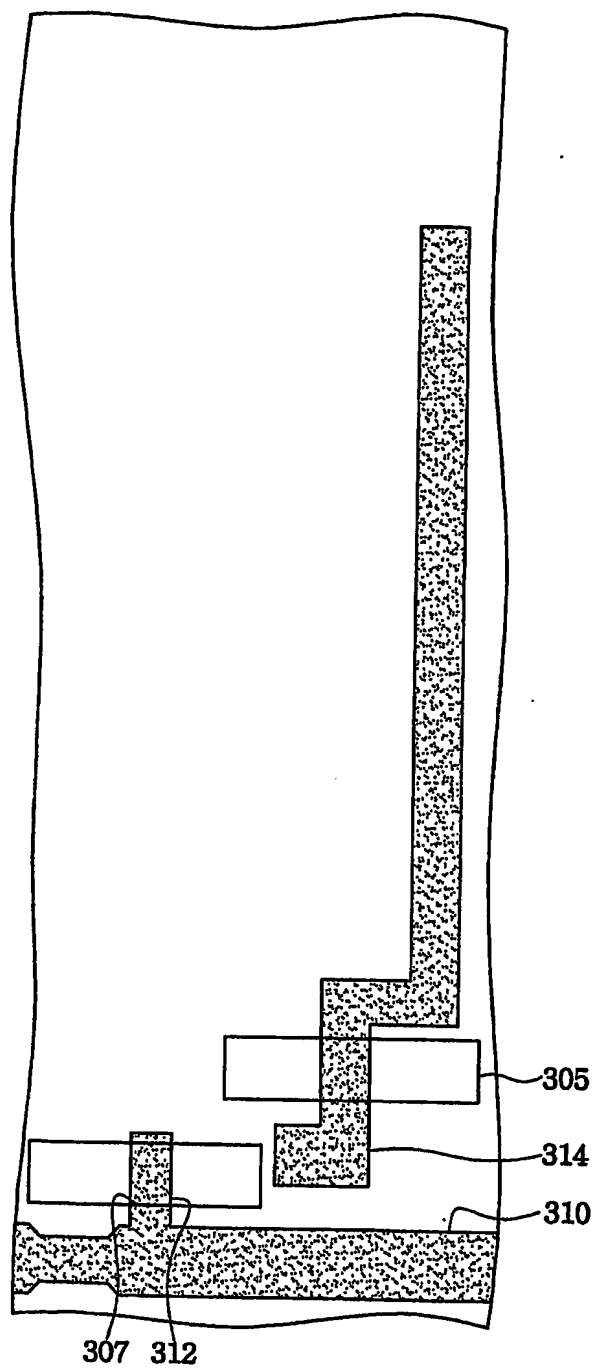
1020040022553

출력 일자: 2004/4/13

【도 30】

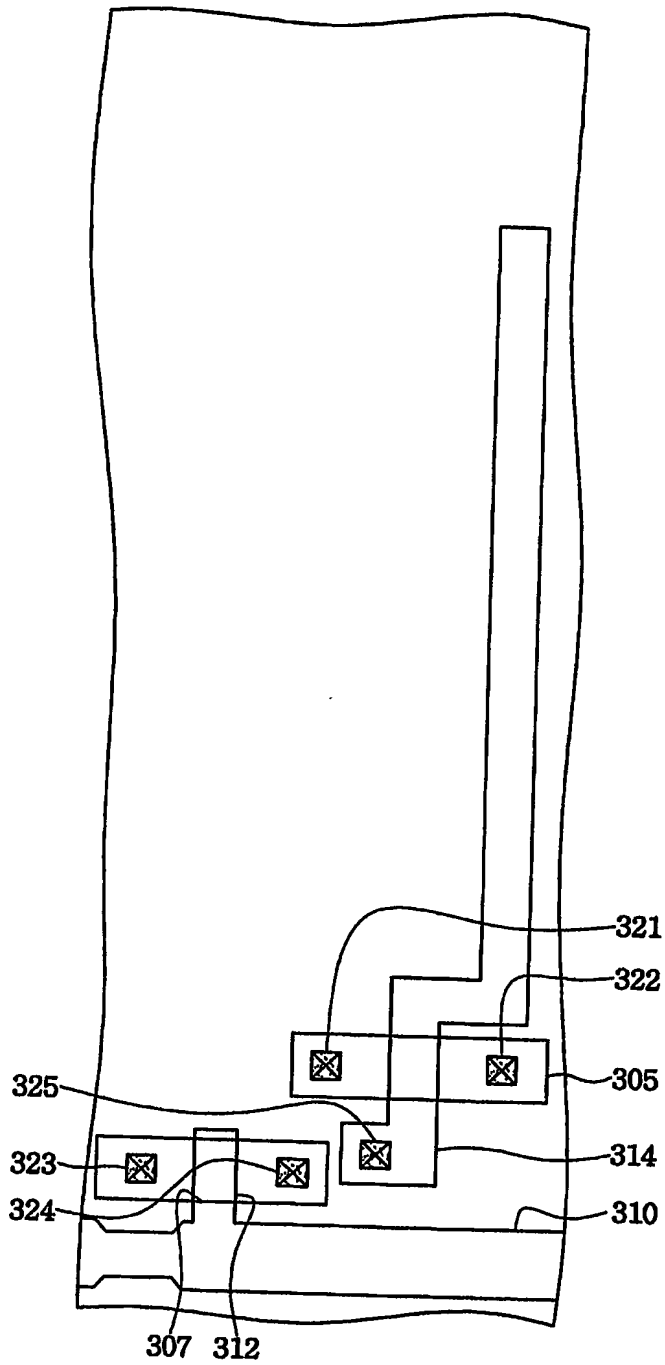


【도 31】





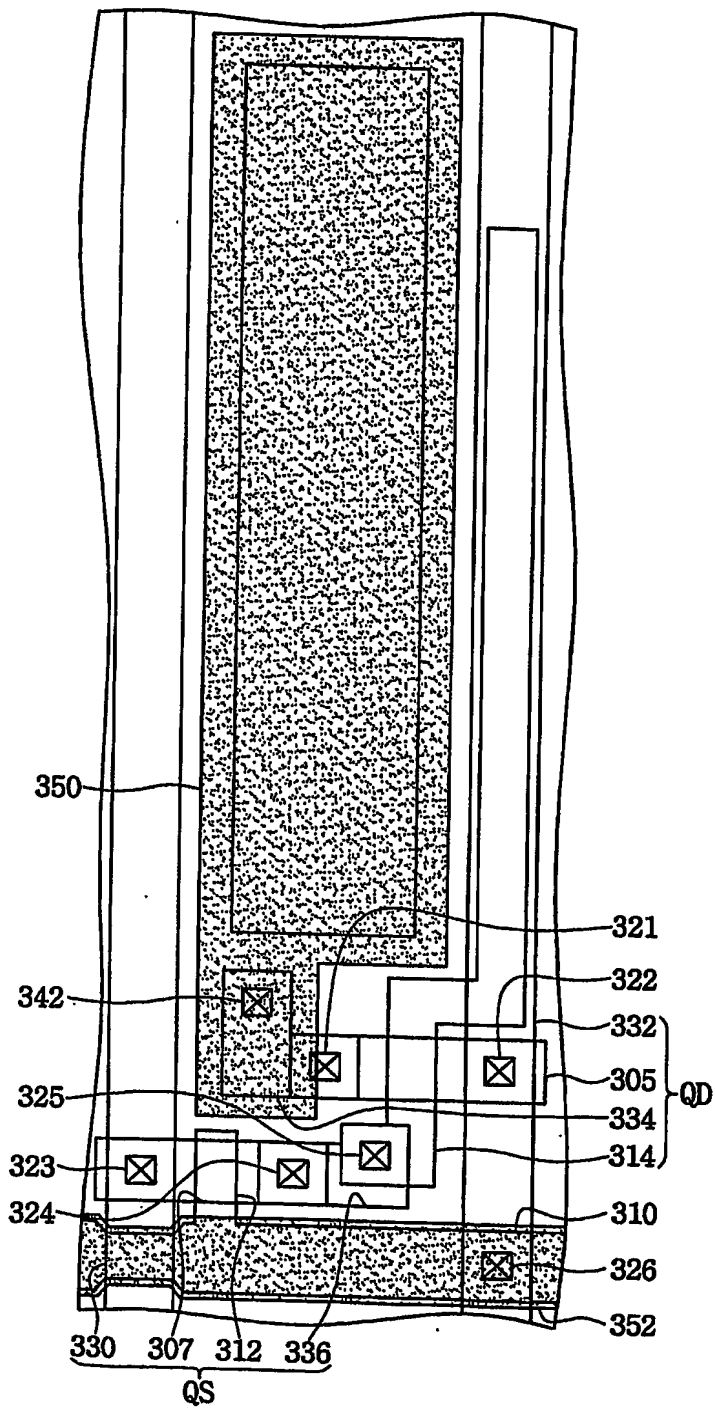
【도 32】



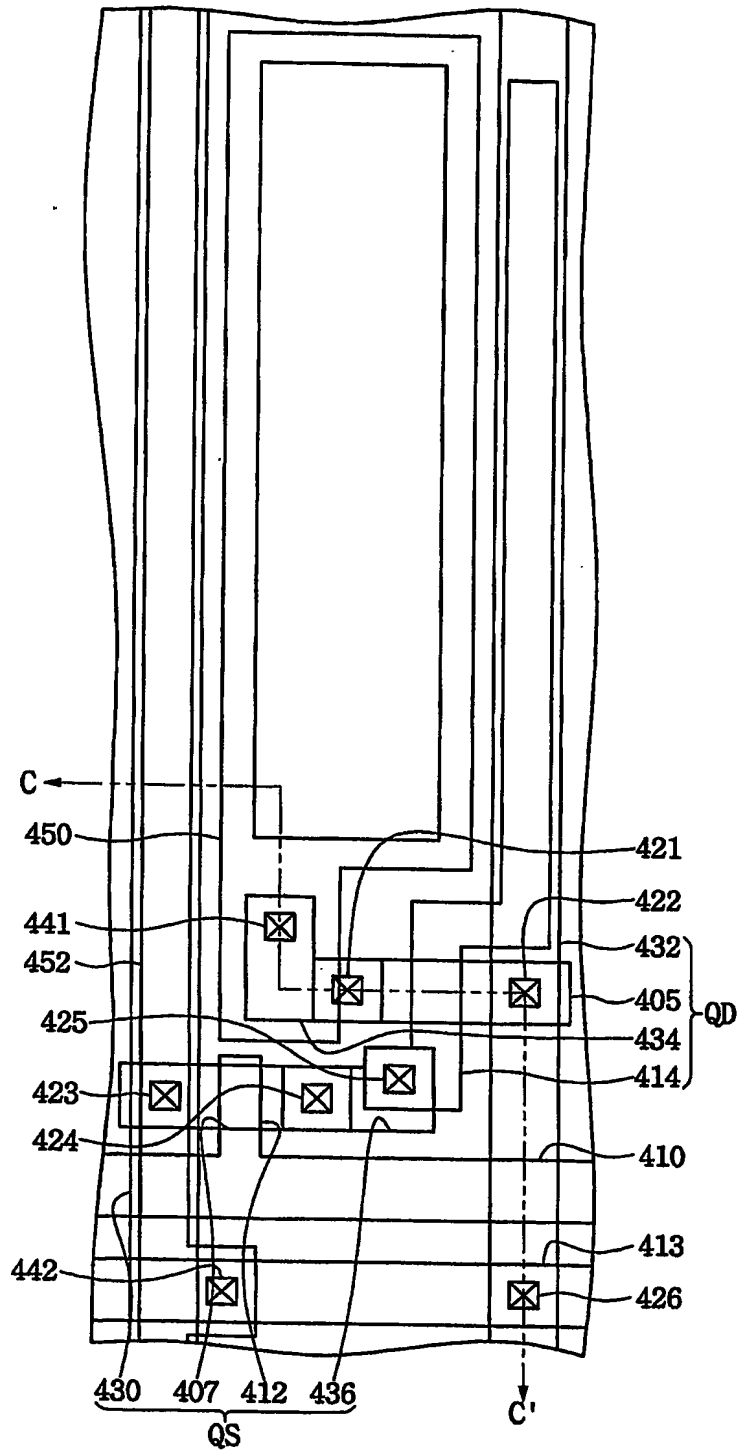
This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with a quantum dot (QD) layer. The QD layer is composed of several rectangular regions, some of which are labeled with reference numerals 321, 322, 332, 305, 334, 314, 310, and 346. These regions are interconnected by a network of lines, possibly representing electrical connections or a common layer. The entire structure is bounded by a top layer and a bottom layer, with a central region labeled 342. The bottom of the diagram is labeled with 'QS' and 'QD'.



【도 34】



【도 35】

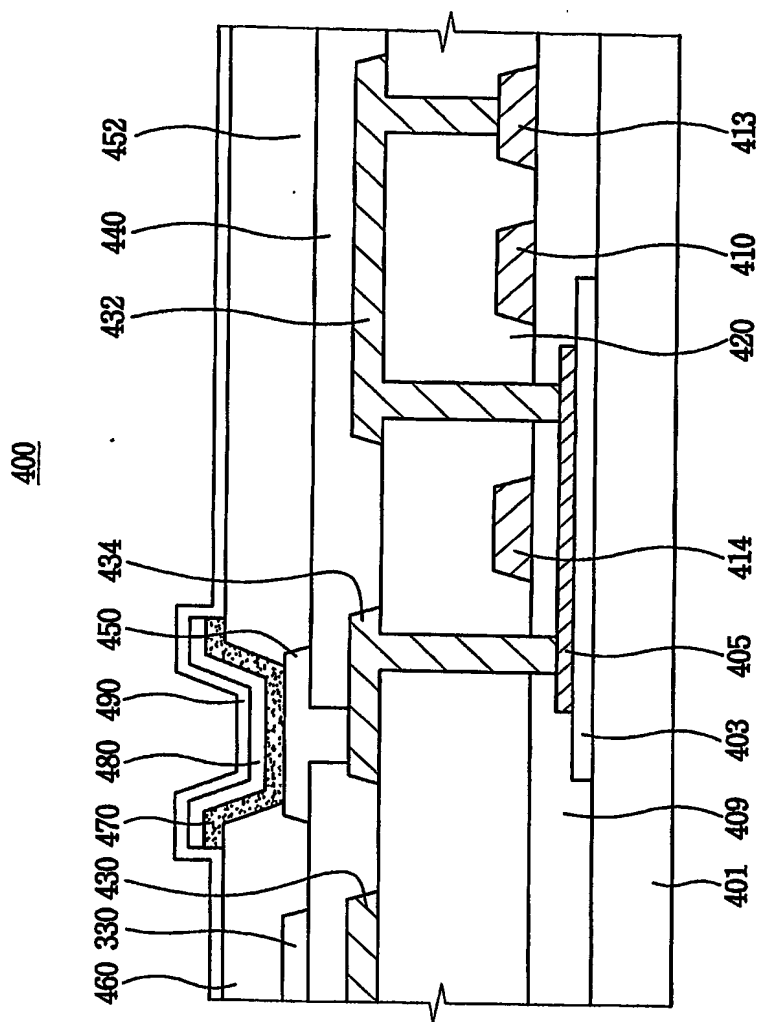




1020040022553

출력 일자: 2004/4/13

【도 36】

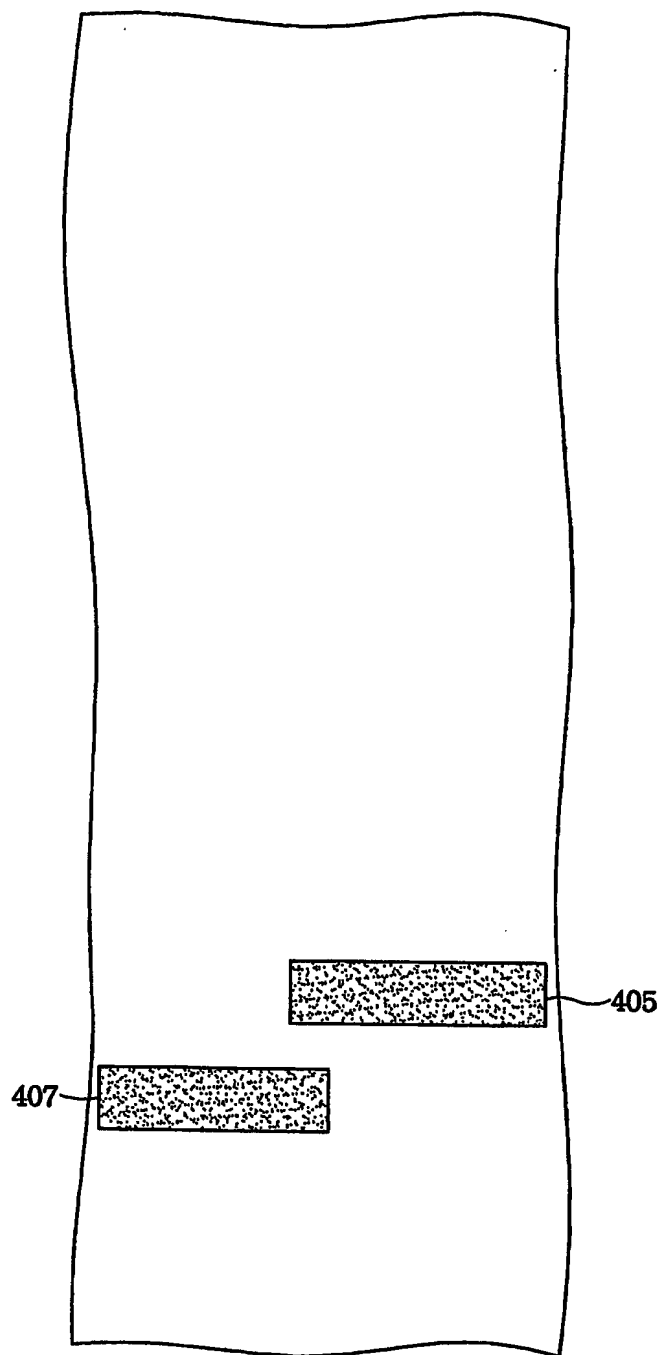




1020040022553

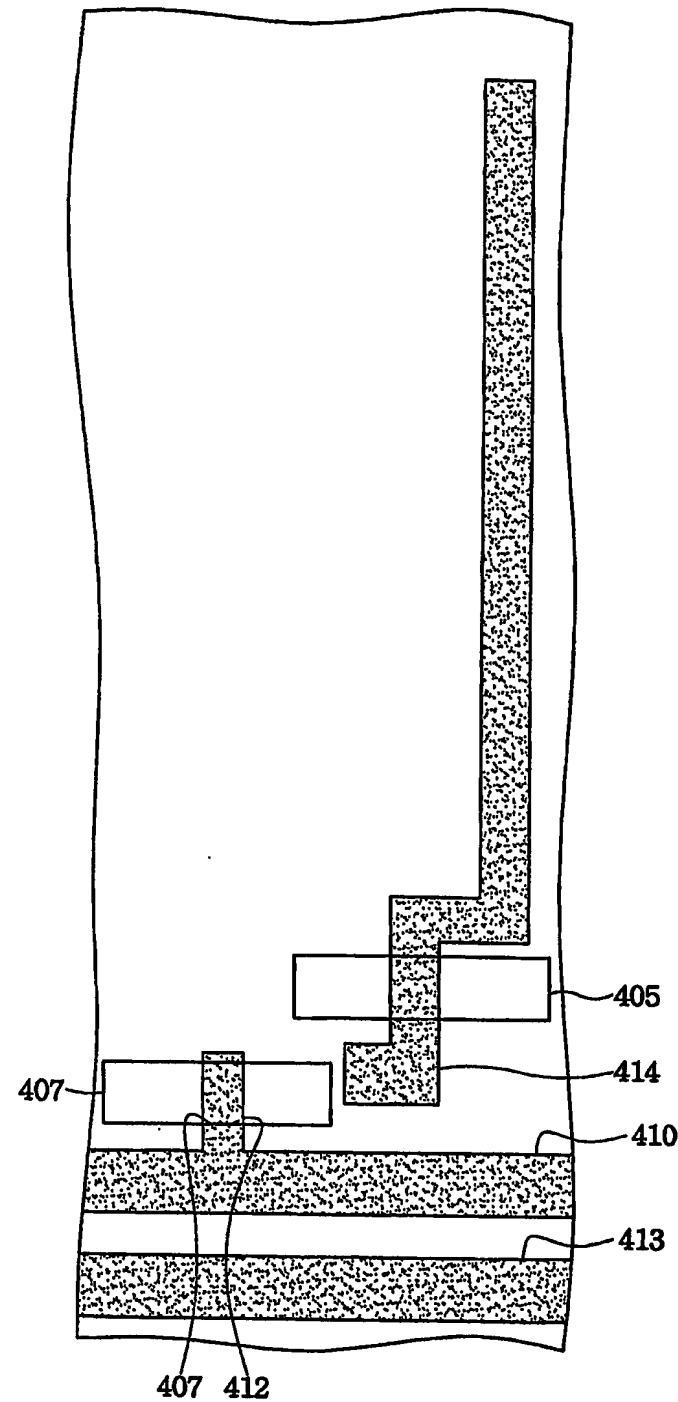
출력 일자: 2004/4/13

【도 37】





【도 38】

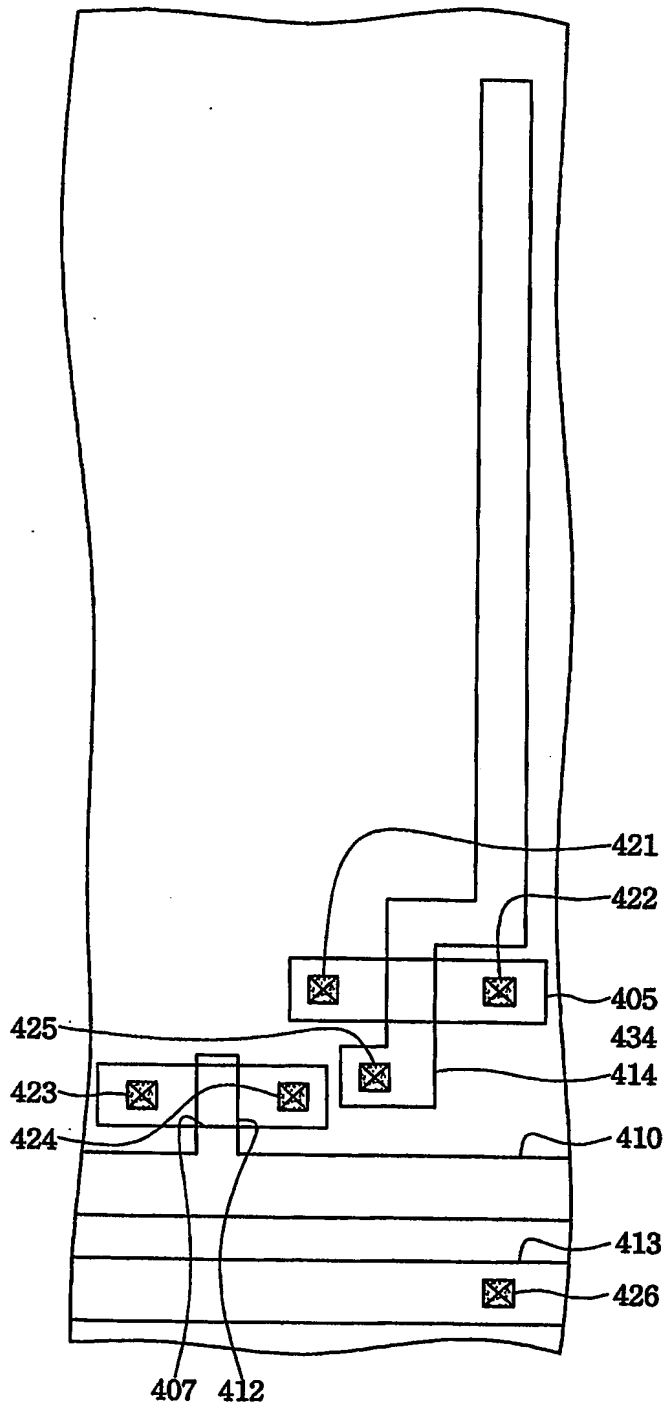




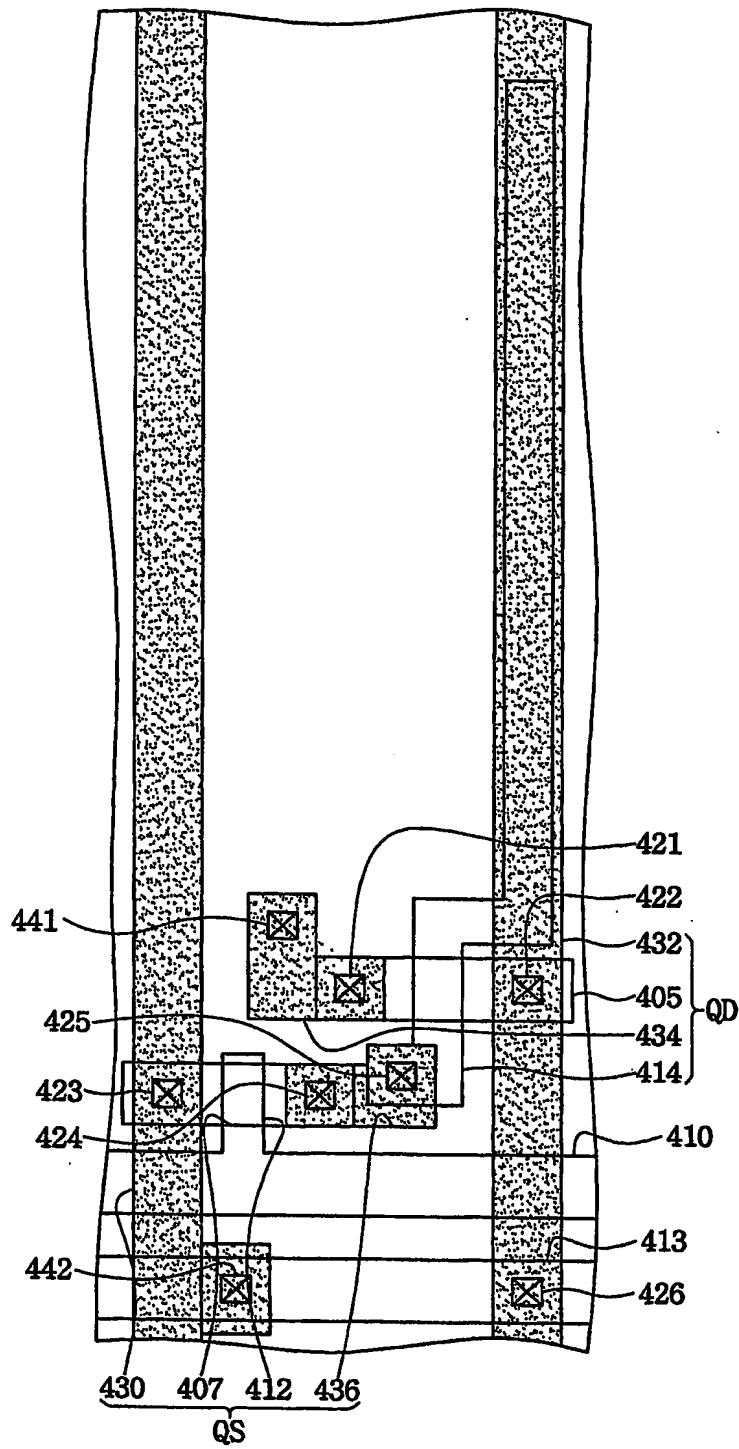
1020040022553

출력 일자: 2004/4/13

【도 39】



【도 40】

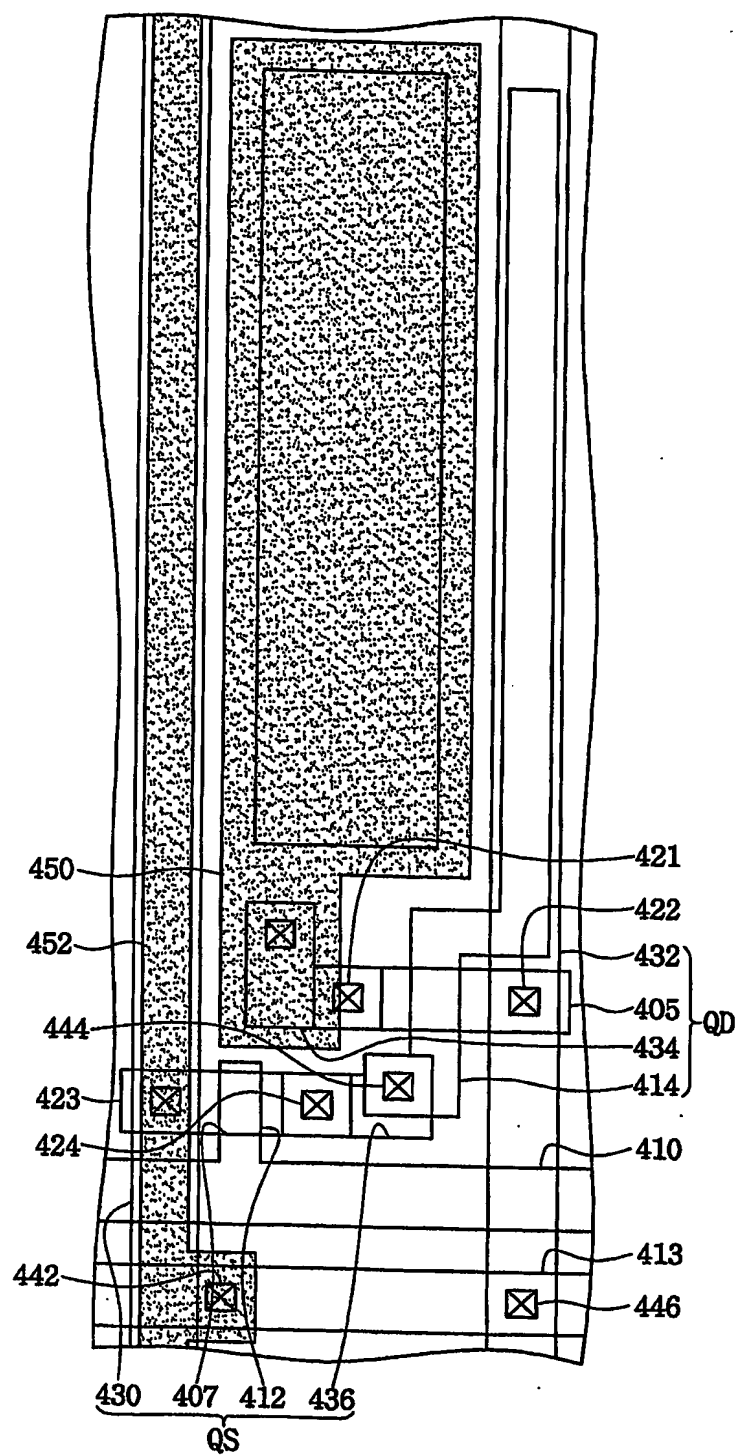




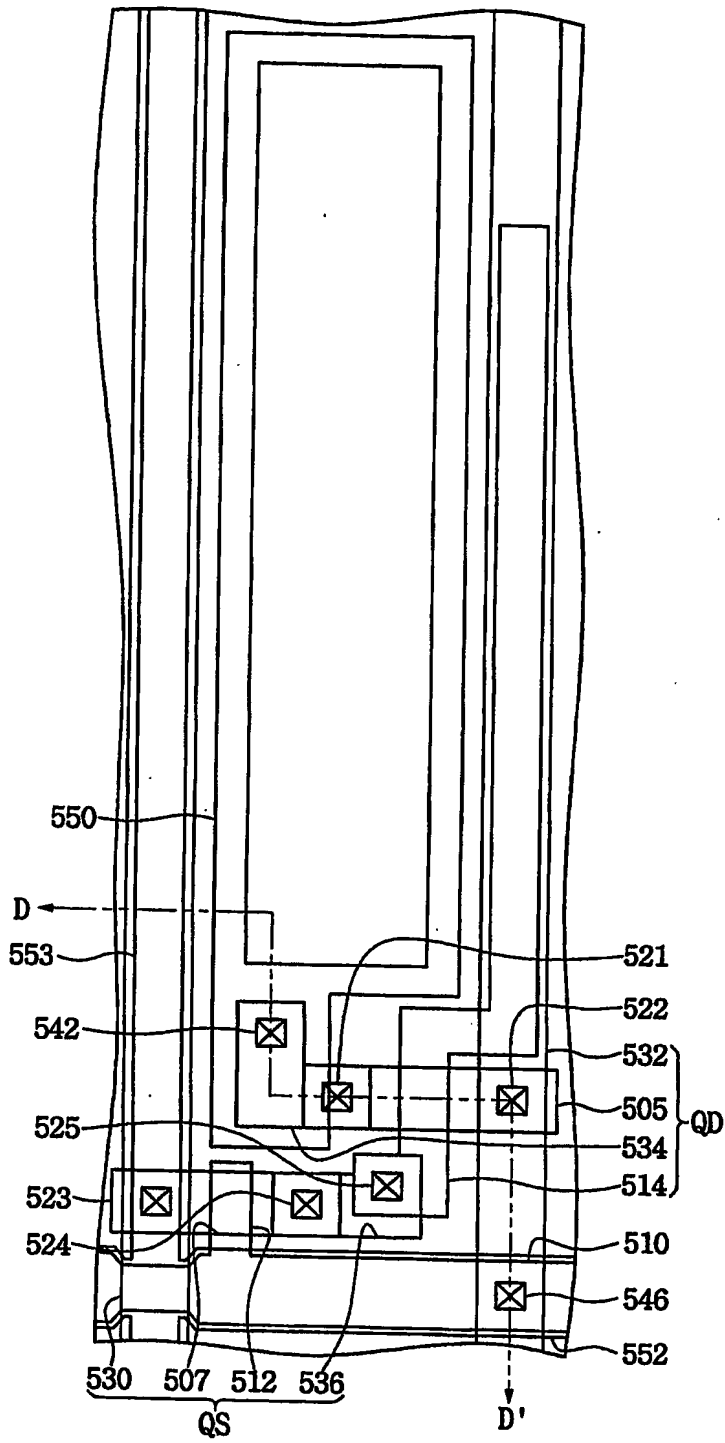
1020040022553

출력 일자: 2004/4/13

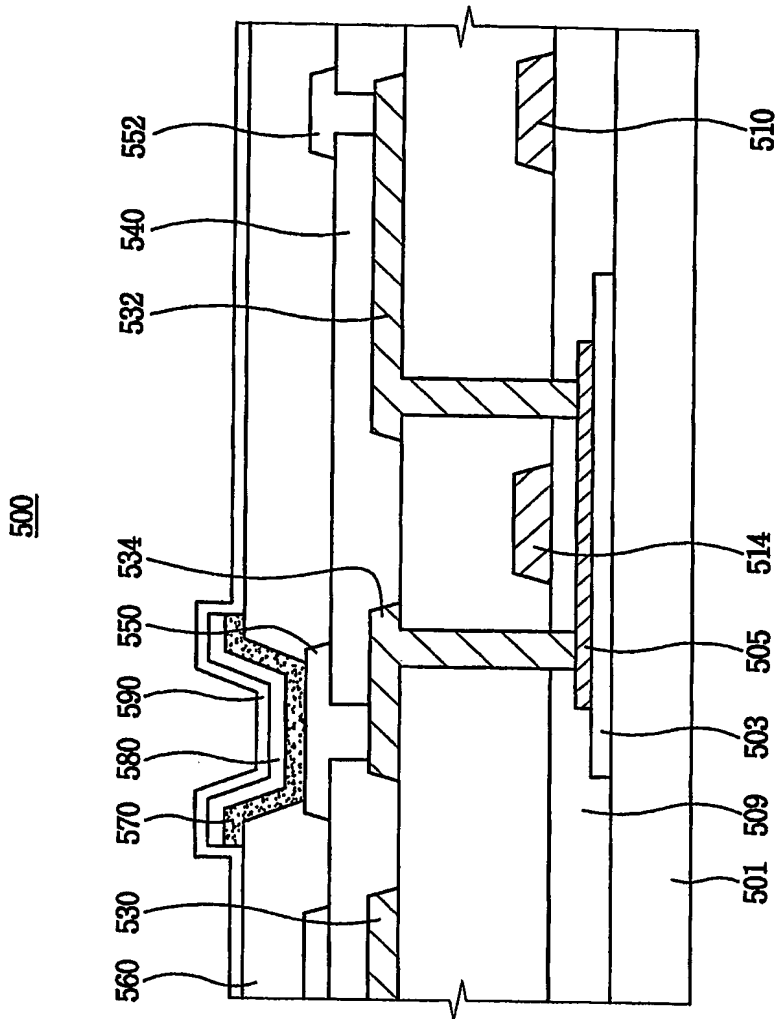
【도 41】



【도 42】



【도 43】

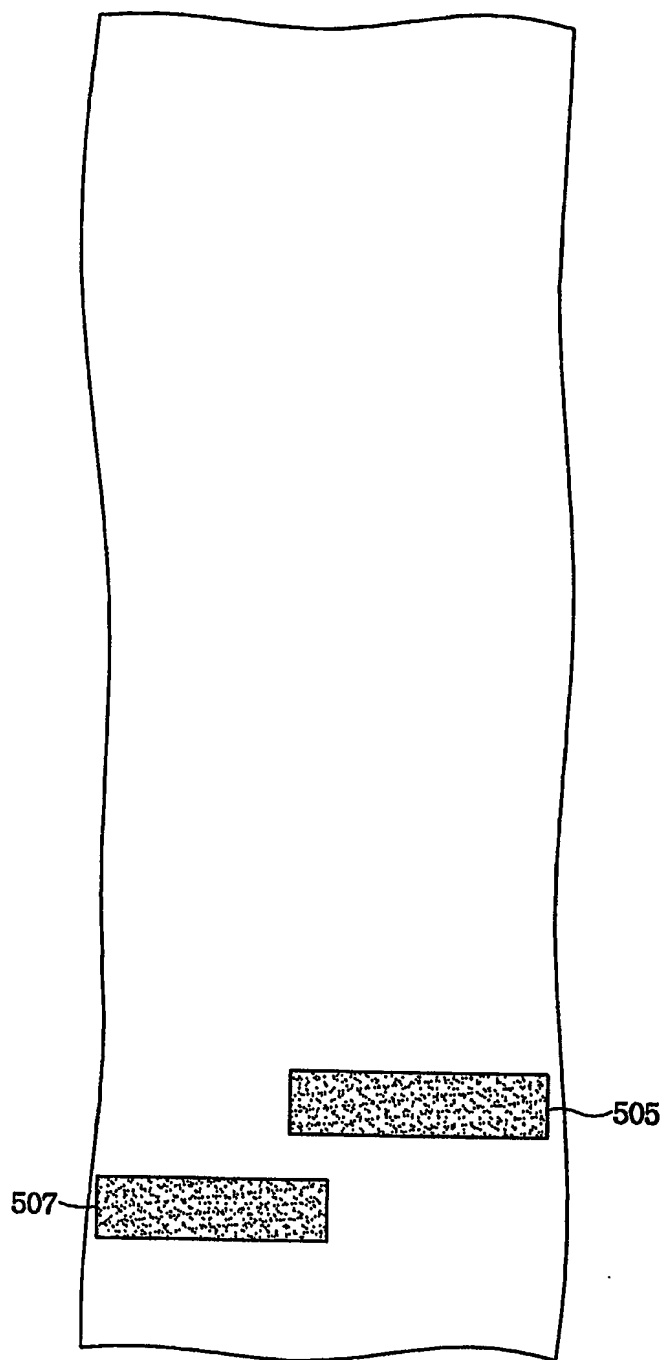




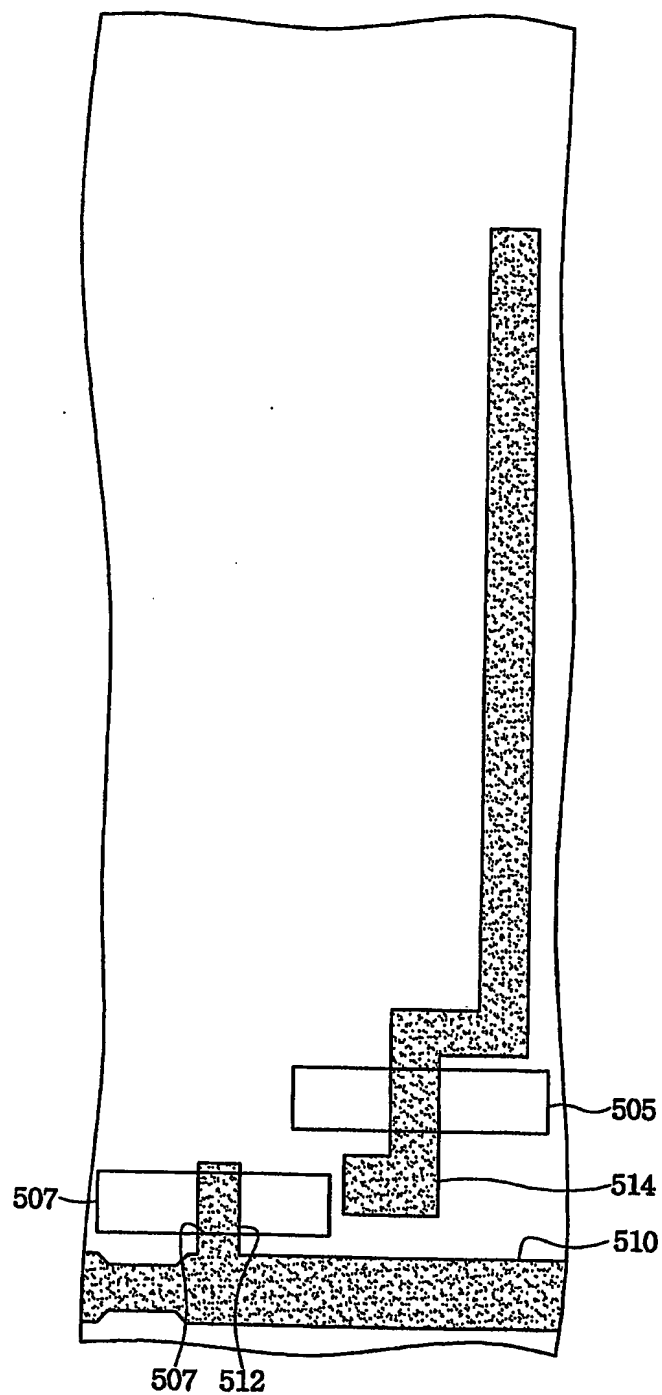
1020040022553

출력 일자: 2004/4/13

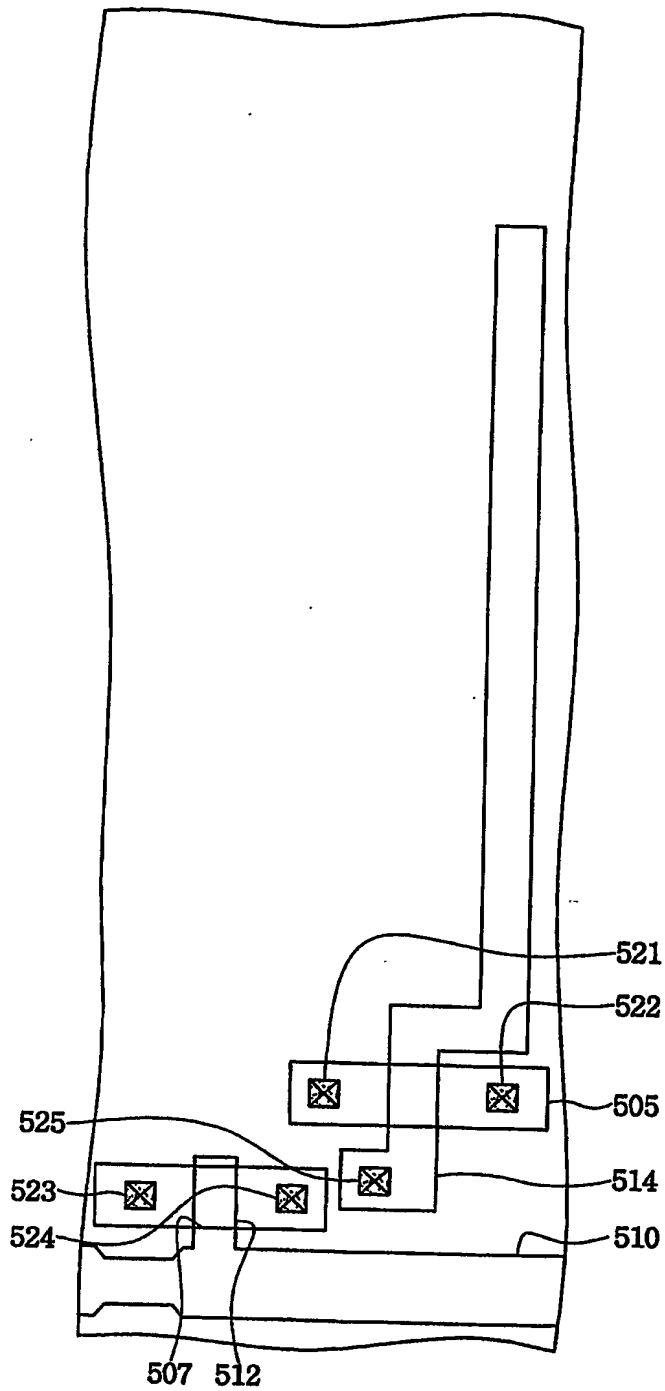
【도 44】



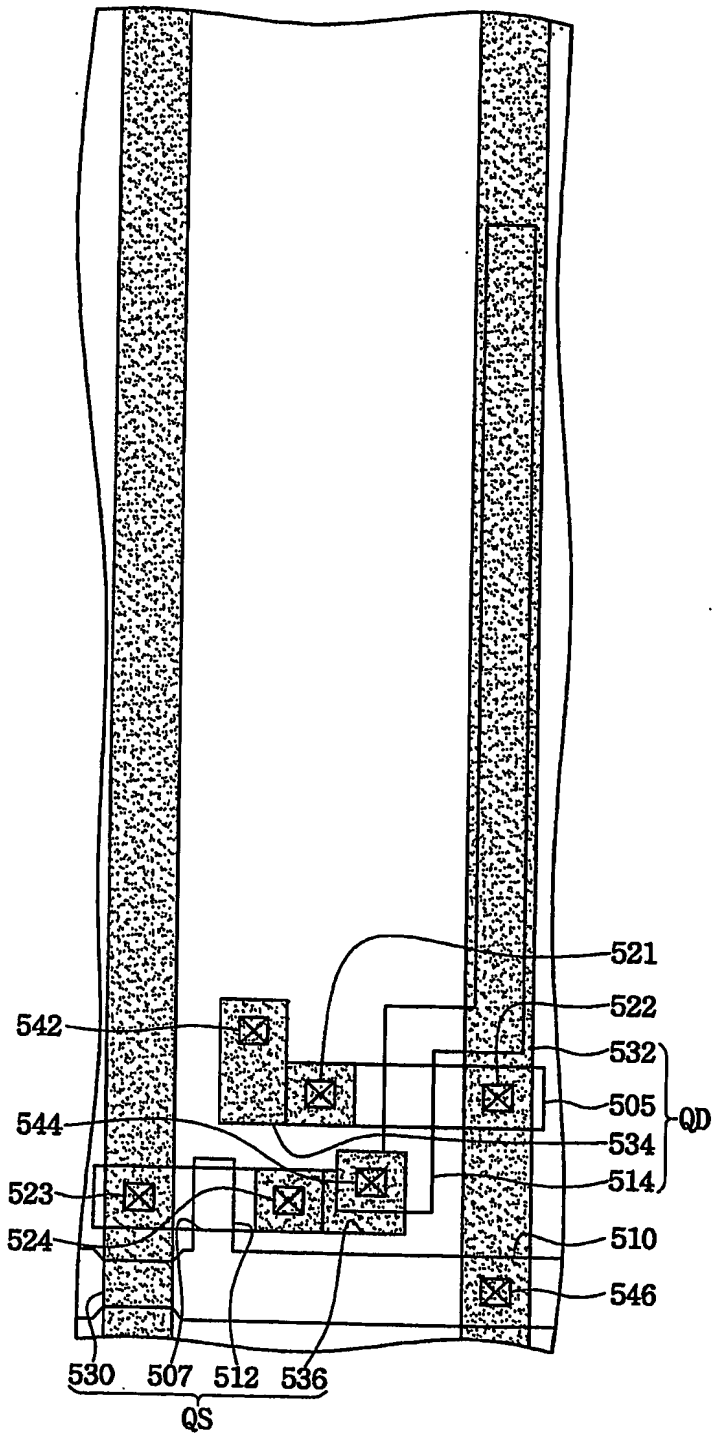
【도 45】



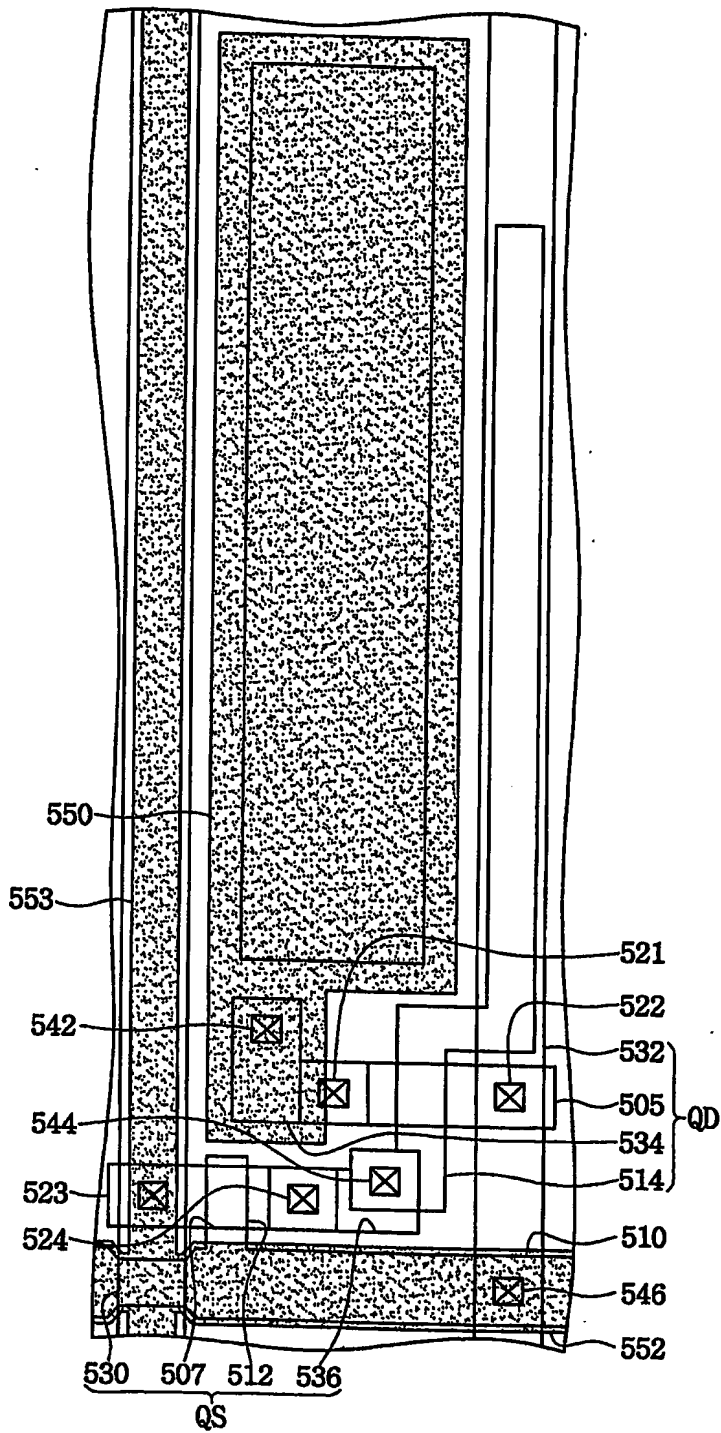
【도 46】



【도 47】



【도 48】



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**